

**Università degli studi di Lecce**

**Corso di Elettronica Analogica II**

Progetto di un ADC

Studente: ACCOTO Celso

## *Introduzione*

Un settore importante dell'Elettronica è quello che si occupa dell'acquisizione e dell'elaborazione dei segnali analogici che esprimono il manifestarsi di un certo fenomeno fisico, al fine di effettuare il controllo della grandezza in esame, e quindi dare la possibilità di monitorare il fenomeno oggetto dell'indagine.

I campi applicativi sono vari: dalla strumentazione elettronica (sia da laboratorio che elettromedicale) ai sistemi di rilevamento dei dati, dall'automazione industriale al settore audio-video (impianti Hi-Fi, lettori DVD ecc.), senza dimenticare l'impiego nel campo delle telecomunicazioni, grazie alle trasmissioni in formato digitale che hanno soppiantato quelle analogiche.

Poiché i fenomeni che si manifestano in natura producono dei segnali analogici, per sfruttare le sofisticate tecniche di elaborazione numerica, che si avvalgono di dispositivi programmabili (i cosiddetti **DSP**, ovvero Digital Signal Processor), è necessario convertire il segnale analogico, in un segnale digitale: il dispositivo che esegue tale operazione è il **convertitore analogico/digitale**.

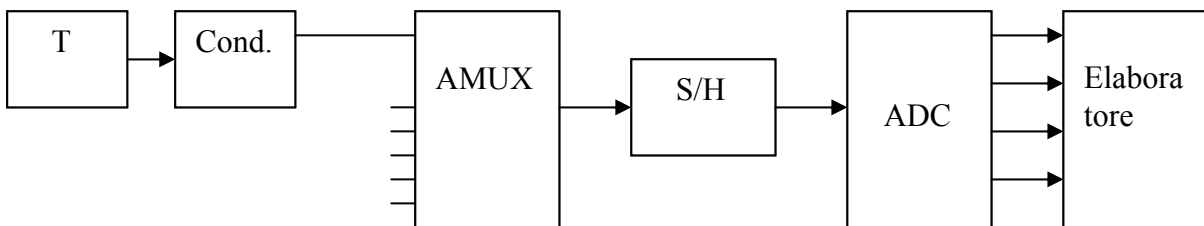
Molteplici sono i vantaggi legati al trattamento dei segnali in formato digitale, due fra tutti:

- elevata immunità al rumore;
- minore complessità rispetto al circuito analogico che esegue la medesima funzione;

Di seguito è fornita un'analisi di un sistema di acquisizione ed elaborazione dati, una breve trattazione sulla teoria della conversione A/D, seguita da una carrellata dei vari ADCs per poi finire con l'argomento di questo lavoro, che è il progetto con annesse simulazioni, di un convertitore analogico-digitale del tipo a doppia rampa.

# Sistema di acquisizione ed elaborazione dati

La struttura di un generico sistema di acquisizione ed elaborazione dati è riportata in figura:



Per capire come i vari blocchi interagiscono tra loro, esaminiamo singolarmente la loro funzionalità.

Il primo elemento che compare, indicato con la lettera T, è il *trasduttore*, la cui funzione è quella di fornire in uscita una grandezza elettrica di valore proporzionale all'entità o alla variazione della grandezza fisica in esame. Un esempio è il microfono, che fornisce un segnale proporzionale alla pressione dell'onda sonora.

I segnali generati dai trasduttori devono di solito essere condizionati in modo che il trasferimento dell'informazione possa avvenire con le caratteristiche di precisione, linearità, immunità al rumore, isolamento elettrico richieste per una data applicazione. Il blocco circuitale di *condizionamento*, che costituisce un'interfaccia fra il circuito di rilevamento e gli altri blocchi, viene generalmente realizzato mediante amplificatori e filtri.

Giunti a questo punto, i segnali analogici opportunamente condizionati, vengono trattati da *convertitori analogico-digitali*; essi forniscono in uscita stringhe di bit che rappresentano numeri proporzionali al valore del segnale analogico in ingresso.

È interessante notare che l'elaborazione e il trasferimento di segnali digitali anziché analogici possono consentire notevoli semplificazioni circuitali, specialmente quando i segnali da trattare sono numerosi. L'impiego di dispositivi programmabili consente inoltre di effettuare in modo semplice elaborazioni anche molto complicate e di modificare il tipo e i parametri dell'elaborazione stessa con una certa facilità, intervenendo opportunamente sul programma. Nella struttura riportata sopra, il convertitore A/D è preceduto da un *multiplatore analogico* (AMUX) e da un circuito di *campionamento e mantenimento* (S/H).

Il primo seleziona, a seconda del codice presente sulle linee digitali di indirizzo, uno solo dei segnali analogici in ingresso, trasferendolo in uscita; in questo modo è possibile, trattare più segnali indipendenti impiegando lo stesso convertitore. Ovviamente per permettere ciò, bisogna curare in modo particolare la fase di temporizzazione globale del sistema.

Il secondo risponde alle esigenze di campionare, in un tempo relativamente breve, il segnale analogico da convertire e di mantenerlo stabile per tutta la durata della conversione.

Nell'ultimo blocco, *elaboratore*, si sono rappresentati dispositivi vari come: un microprocessore che compie operazioni sui segnali, o delle memorie per la memorizzazione dei dati, oppure un sistema di visualizzazione.

## Processo di conversione analogico-digitale

Il processo che rende possibile la rappresentazione numerica di un segnale analogico, si basa sul concetto di **quantizzazione**. Infatti, poiché un segnale analogico è caratterizzato dall'aver ampiezza e tempo continui, mentre un segnale numerico presenta ampiezza e tempo discreti, il primo può assumere infiniti valori compresi all'interno della sua dinamica, il secondo invece può assumere soltanto un numero finito di valori discreti. Per questo motivo il segnale numerico viene anche detto segnale discreto.

In una prima fase, gli infiniti valori del segnale analogico devono così essere quantizzati, cioè opportunamente raggruppati in un certo numero di intervalli; in una seconda fase è necessario stabilire una legge che faccia corrispondere ad ogni intervallo un valore numerico (**parola codice**).

E' evidente che non è possibile definire una corrispondenza biunivoca tra la grandezza analogica e quella digitale, in quanto non è possibile associare ad ogni valore analogico una parola codice. Poiché l'informazione risiede nell'ampiezza del segnale, questo procedimento comporta una inevitabile perdita di informazione (rappresentata da un errore), di seguito trattata.

Supponiamo, senza perdita di generalità, che la grandezza analogica da convertire sia unipolare con dinamica (0, S) (la trattazione che segue continua ad essere valida anche nel caso di segnale bipolare, in quanto ad esso può essere sovrapposto un opportuno segnale di offset). Se tale intervallo viene suddiviso in m fasce, dove m rappresenta il numero dei valori discreti, allora l'ampiezza  $A_D$  di ogni intervallo è (nell'ipotesi di quantizzazione uniforme):

$$A_D = S/m$$

Se  $A_i$  è il valore analogico in corrispondenza di un certo intervallo, e  $A_r$  è il valore che realmente assume il segnale analogico, si definisce **errore di quantizzazione** la seguente quantità:

$$e = A_r - A_i$$

L'errore di quantizzazione è un parametro che permette di stimare la perdita di informazione dovuta alla discretizzazione dell'ampiezza.

E' facile verificare che vale:  $|e| \leq A_D/2$ .

Osservando che se b è la base del sistema di rappresentazione dei dati numerici, e n è il numero delle cifre, allora vale:  $m = b^n$ , quindi:  $|e| \leq \frac{S}{2 \cdot b^n}$ .

Essendo il sistema binario quello utilizzato nella pratica, poniamo  $b = 2$  e procediamo con le considerazioni sull'errore di quantizzazione; in particolare determiniamo il suo valore quadratico medio:

$$\overline{e^2} = \frac{1}{A_D} \int_{-A_D/2}^{+A_D/2} e^2 de = \frac{A_D^2}{12}$$

Ipotizzando che il segnale analogico sia un segnale di tensione con dinamica (0,  $V_M$ ), si ha :

$$\overline{e^2} = \frac{V_M^2}{12 \cdot 4^n}$$

Bisogna dire che l'errore introdotto dalla quantizzazione viene considerato come un rumore (**rumore di quantizzazione**) correlato al segnale, ed esso stabilisce un limite inferiore alla minima variazione che può essere rilevata dal convertitore A/D. Detto ciò risulta naturale considerare  $\overline{e^2}$  come il quadrato del valore efficace di una tensione di rumore  $V_{nq}$  che quindi vale:

$$V_{nq} = \frac{V_M}{2^n \cdot \sqrt{12}}$$

Se supponiamo che l'ADC sia alimentato in ingresso da un segnale sinusoidale  $v_s(t)$ , con ampiezza picco-picco pari a  $V_M$ , allora possiamo determinare il valore del rapporto segnale-rumore (SNR) del dispositivo:

$$V_s = \frac{V_M}{2 \cdot \sqrt{2}} \rightarrow \text{valore efficace dell'ampiezza del segnale } v_s(t)$$

$$\text{SNR}_{\text{dB}} = (V_s / V_{nq})_{\text{dB}} = 20 \log_{10}(V_s / V_{nq}) = 20 \log_{10} \frac{V_M}{2\sqrt{2}} \frac{2^n \sqrt{12}}{V_M} =$$

$$= n \cdot 20 \log_{10} 2 \sqrt{3/2} = n \cdot 20 \log_{10} 2 + 10 \log_{10} (3/2) \approx 6.02 n + 1.76$$

L'espressione precedentemente ricavata, mette in evidenza il legame esistente tra due parametri del convertitore: lo SNR e il numero dei bit utilizzati  $n$ . Poiché, la precisione dell'ADC aumenta con l'aumentare del numero di bit impiegati per la conversione, si potrebbe pensare che sia indicato utilizzare un elevato numero di bit per minimizzare l'errore; questa però è una via parzialmente percorribile: infatti, l'aumento di  $n$  comporta un aumento della complessità circuitale, unito ad un aumento dei costi realizzativi. Per questi motivi (che indurrebbero ad utilizzare il minimo numero di bit), il valore di  $n$  deve essere opportunamente scelto, valutando le caratteristiche del segnale da convertire, le modalità d'impiego dell'ADC, ecc...

Una condizione che permette la determinazione del numero minimo di bit riguarda l'SNR del segnale analogico e l'SNR dell'ADC: infatti non ha senso che il valore di quest'ultimo sia superiore a quello del segnale in ingresso, cioè bisogna imporre che:

$$(S/N_q) \leq (S/N)$$

condizione verificata se:

$$n \leq 0.166 (S/N)_{\text{dB}} - 0.058$$

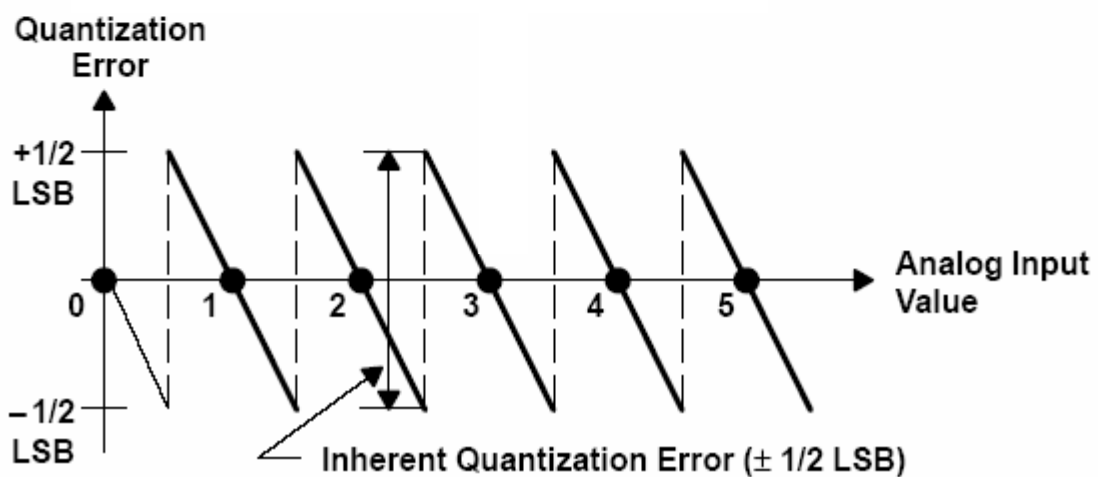
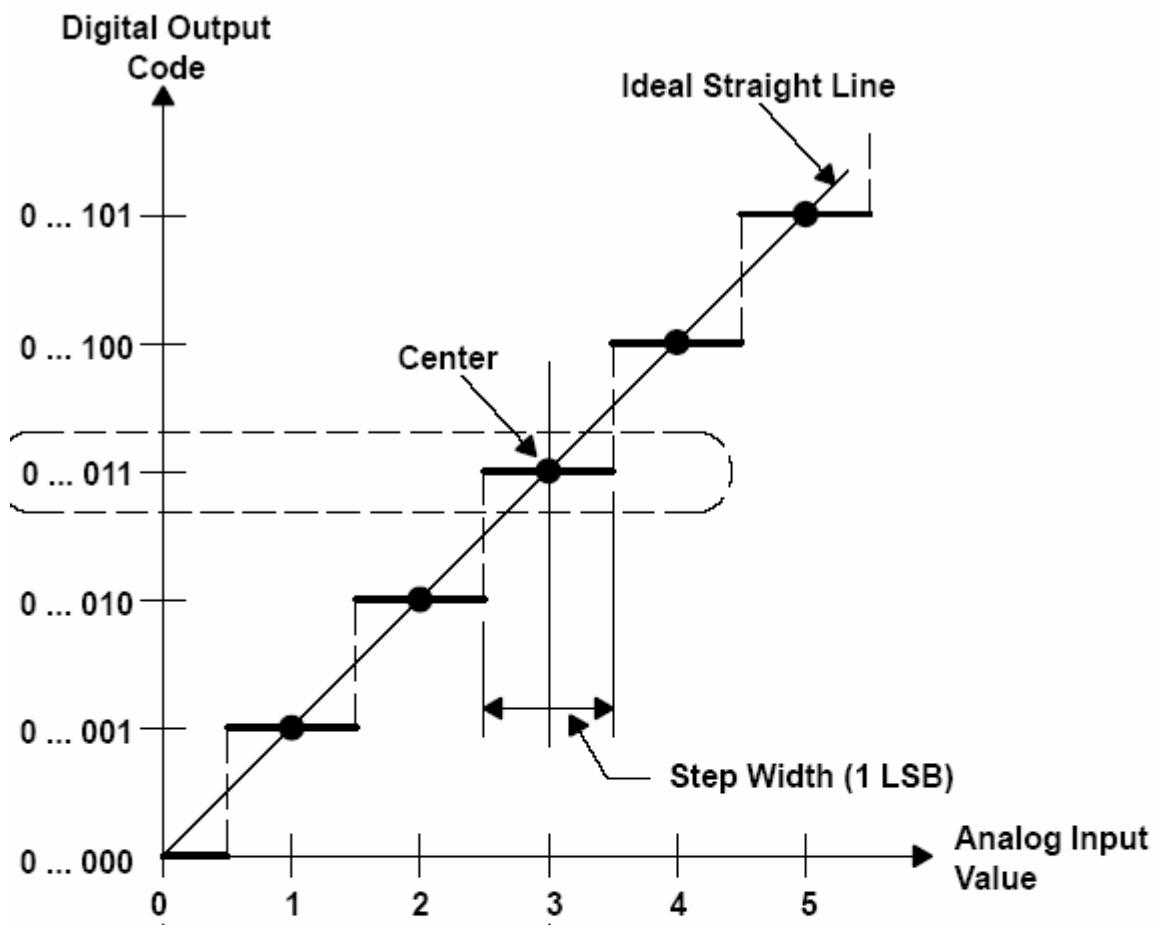
La caratteristica di trasferimento di un ADC vede in ascissa la grandezza analogica da convertire, mentre in ordinata il dato digitale.

Nel caso di convertitore A/D ideale (con risoluzione infinita) la caratteristica è rappresentata da una retta, mentre per un convertitore reale si ha un andamento a "gradini", che approssima l'andamento ideale quanto maggiore è la risoluzione del convertitore.

Facendo la differenza tra l'andamento reale e quello ideale si ottiene il grafico dell'errore di

quantizzazione, che varia linearmente tra  $-\frac{A_D}{2}$  e  $+\frac{A_D}{2}$  per ogni intervallo  $A_D$ . Un esempio

della caratteristica di trasferimento di un'ADC e del grafico dell'errore di quantizzazione sono riportate nelle figure sottostanti.



Elements of Transfer Diagram for an Ideal Linear ADC

Il codice più frequentemente utilizzato nella conversione di segnali unipolari è il binario naturale, secondo il quale un numero intero N ad n bit è espresso dalla relazione:

$$N = b_{n-1} \times 2^{n-1} + b_{n-2} \times 2^{n-2} + \dots + b_1 \times 2^1 + b_0 \times 2^0$$

Il bit più significativo ha peso  $2^{n-1}$  e il meno significativo ha peso  $2^0$ .

Alcune volte è utile utilizzare la notazione binaria frazionaria, cioè quella che consente di esprimere un numero frazionario N (<1) secondo la relazione:

$$N = b_1 \times 2^{-1} + b_2 \times 2^{-2} + \dots + b_n \times 2^{-n}$$

Un'altro codice spesso utilizzato è il BCD (Binary Coded Decimal: decimale codificato in binario). E' interessante notare che a parità di numero di bit, l'utilizzo di questo codice permette di avere una risoluzione inferiore di quella consentita dal codice binario naturale: essa vale  $FS/10^d$  per un dato in codice BCD a d cifre, mentre vale  $FS/2^n$  per un dato in binario a n bit. Alcuni convertitori, per effettuare conversioni in modo veloce, fanno uso del codice Gray. Infatti con questo codice la transizione da un valore digitale ad uno adiacente comporta la commutazione di un solo bit, con degli indubbi vantaggi sulla velocità di esecuzione della conversione.

I codici adatti per trattamento di segnali bipolari, offrono la possibilità di identificare anche il segno della grandezza analogica. I più usati in queste circostanze sono:

codice modulo e segno, in cui con l'MSB si indica il segno, con i restanti bit il valore assoluto della grandezza;

codice binario con offset, in cui il codice binario naturale viene traslato in modo da far corrispondere il dato 00...0 al valore di fondo scala negativo;

Codice in complemento a 1, in cui i valori positivi sono rappresentati secondo il codice binario naturale e i negativi secondo lo stesso codice ma complementato;

Codice in complemento a 2, in cui i valori positivi sono sempre rappresentati secondo il codice binario naturale mentre i negativi sono rappresentati dal complemento a 2 dei rispettivi codici positivi;

Generalmente i dati digitali sono forniti in uscita dai convertitori A/D in formato parallelo, cioè su n linee, una per ogni bit della parola.

Un altro formato con cui vengono resi disponibili i dati è il byte-seriale. Ad esempio, supponendo che il dato digitale è composto da 12 bit, esso può essere scomposto in due byte, uno con 8 bit e l'altro con 4 bit più significativi, che vengono presentati in successione su otto linee.

## *Classificazione e descrizione degli ADC*

Gli ADC vengono classificati in base al loro principio di funzionamento, dato che da esso dipende il livello delle prestazioni riguardanti la risoluzione, la velocità di conversione e la precisione.

Riferendoci alla velocità di conversione, distinguiamo in: convertitori veloci, medi e lenti; ciascuna categoria è caratterizzata da specifiche configurazioni circuitali. Veloci sono i convertitori flash,

half-flash e subranging. Di media velocità sono i convertitori ad approssimazioni successive; piuttosto lenti invece sono i convertitori ad integrazione (detti anche convertitori tensione-tempo).

- **ADC flash** Sono i più veloci, in grado di lavorare con frequenze di campionamento anche superiori a 100MSPS (1 SPS = 1 Sample Per Second). Essi effettuano la conversione con una schiera di comparatori disposti in parallelo. Le uscite dei comparatori, opportunamente decodificate, forniscono il dato di uscita.
- **ADC subranging** L'inconveniente maggiore dei convertitori flash consiste nell'alto numero di comparatori necessari per ottenere una elevata risoluzione (se  $n$  sono i bit di risoluzione, i comparatori da impiegare sono  $2^n - 1$ ).  
Con la tecnica del **subranging** la conversione viene effettuata sempre tramite comparatori, ma in due (ADC half-flash) o più passi. In questo modo a scapito di un tempo di conversione un po' più lungo, si ottiene una risoluzione più elevata.
- **ADC ad approssimazioni successive** E' il tipo di convertitore A/D più diffuso, che abbina una buona risoluzione ad una sufficiente velocità.  
Un registro ad *approssimazioni successive* genera in fasi successive dati binari che, convertiti da un DAC, vengono confrontati con il segnale d'ingresso.  
Nella prima fase viene attivato il solo MSB (che corrisponde a metà del fondo scala), che viene memorizzato con il valore 1 o 0 a seconda che il segnale analogico risulti maggiore o minore della metà del fondo scala. Nelle fasi successive sono attivati a uno a uno tutti i rimanenti bit, fino all'LSB, cosicché il dato di uscita approssima sempre di più il segnale di ingresso.
- **ADC ad integrazione** Sono decisamente lenti ma molto precisi; per questa caratteristica vengono utilizzati specialmente negli strumenti di misura. Il più diffuso è l'ADC a doppia rampa, oggetto di questo lavoro.

I parametri e i dati caratteristici principali che definiscono le prestazioni dei convertitori A/D sono:

**Dinamica della tensione d'ingresso.** Rappresenta la massima escursione consentita per la tensione d'ingresso.

**Configurazioni dei dati di uscita.** Questo parametro riguarda i livelli di tensione e corrente, il codice e il formato, tutte caratteristiche trattate precedentemente.

**Risoluzione.** Rappresenta il più piccolo valore del segnale analogico che può essere convertito, e corrisponde al valore dell'LSB; poiché questo parametro è legato al numero di bit di uscita del convertitore (grado di parallelismo del convertitore), spesso la risoluzione è specificata indicando proprio il numero di bit.

**Tempo di conversione.** E' il tempo richiesto dal convertitore per eseguire una conversione completa. I valori per gli ADC in commercio vanno dal centinaio di ms (per convertitori lenti) a qualche ns per dispositivi ad altissima velocità.

**Errore di linearità.** E' la deviazione massima della curva di trasferimento reale rispetto alla retta passante per i punti estremi 0V e FS che interpola la curva di trasferimento ideale.

**Errore di linearità differenziale.** Indica la massima variazione, rispetto a quella teorica, della fascia dei valori analogici corrispondenti ad un dato digitale. E' importante notare che un errore di linearità differenziale maggiore o uguale a  $\pm 1$ LSB causa la perdita di qualche parola codice: questo fenomeno è detto missing code.



**Errore di guadagno e di offset.** Il primo determina una pendenza della curva di trasferimento reale diversa da quella ideale, il secondo una traslazione della curva stessa che non passa più per l'origine. Questi errori tuttavia sono eliminabili mediante l'utilizzo di opportuni accorgimenti suggeriti dai costruttori.

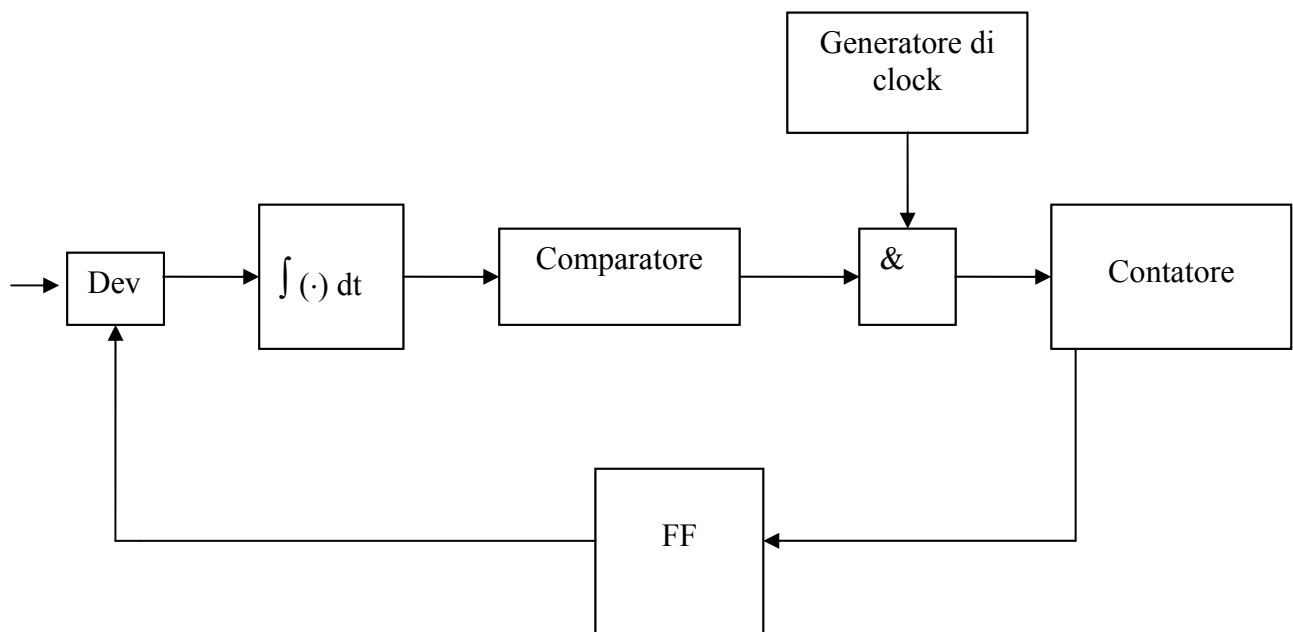
**Precisione.** Generalmente è espressa in % del fondo scala o in frazioni di LSB, e fornisce la misura dello scarto massimo fra il valore di tensione analogica reale e quello ideale richiesti per ottenere un dato valore digitale in uscita.

**Coefficienti di temperatura.** Specificano l'instabilità dei vari parametri al variare della temperatura.

## *Progetto del convertitore A/D*

Tra i vari tipi di ADC esistenti, precedentemente menzionati, si è scelto di progettare un ADC a doppia rampa, che accettasse in ingresso una dinamica di 0 – 8V con una risoluzione di 4 bit. Lo schema di principio cui si è fatto riferimento, è riportato nella figura sottostante, e consta dei seguenti blocchi funzionali:

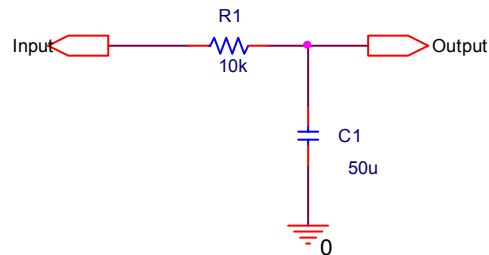
- Integratore di Miller;
- Comparatore di zero (Zero Crossing Detector);
- Generatore del segnale di sincronismo;
- Contatore;
- Flip-flop(FF);



Prima di riportare lo schema elettrico che permette di implementare questo tipo di convertitore, e di descriverne il modo di operare, analizziamo il funzionamento di ogni singolo blocco, per determinarne successivamente il dimensionamento dei componenti:

## Integratore di Miller

Circuitalmente, per integrare nel tempo una grandezza analogica, è sufficiente una semplice cella RC:



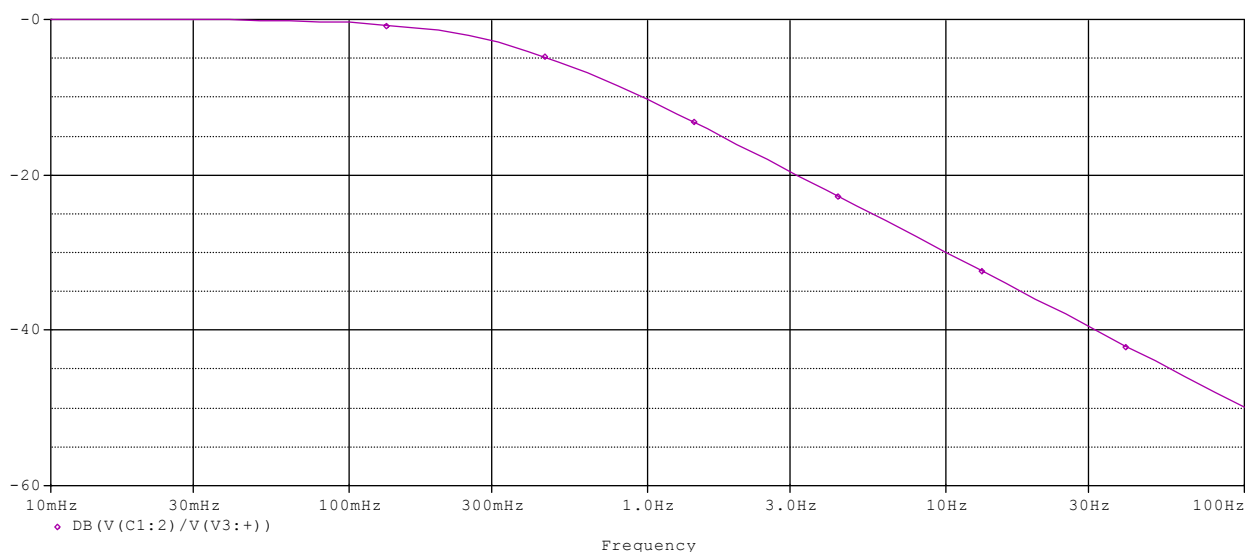
Infatti, passando dal dominio del tempo ( $t$ ) al dominio complesso ( $s$ ), applicando la trasformata di Laplace a  $v_i(t)$  e  $v_o(t)$ , otteniamo la F.d.t. della rete:

$$H(s) = \frac{V_o(s)}{V_i(s)} = \frac{1}{1 + sCR}$$

$$\text{se: } |sCR| \gg 1 \Rightarrow H(s) = 1/(sCR)$$

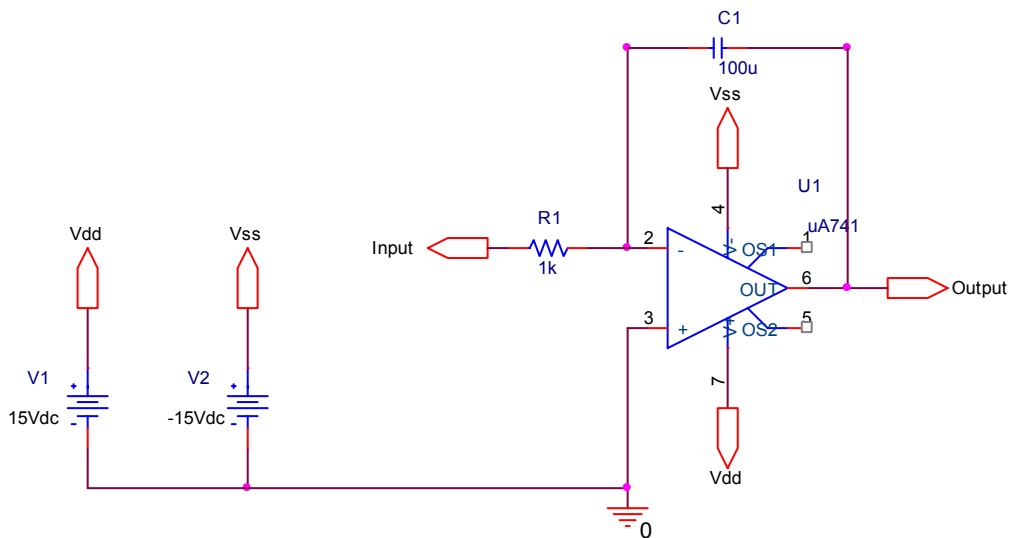
A questa espressione di  $H(s)$  nel dominio complesso corrisponde, nel dominio della variabile  $t$ , l'operazione di integrazione temporale.

Il diagramma di Bode della risposta in frequenza del circuito  $|H(j\omega)|_{dB}$  è il seguente:



Risulta evidente che questa semplice cella è una soluzione poco “robusta”, con ciò intendendo che il suo comportamento è fortemente influenzato e dalla presenza del carico, e dalla resistenza interna del generatore posto in ingresso.

Per ottenere un circuito il cui comportamento sia meno dipendente dai fattori di cui sopra, è sufficiente che la rete RC venga “unita” ad un amplificatore operazionale (OpAmp), ottenendo così l’integratore di Miller, ovvero:



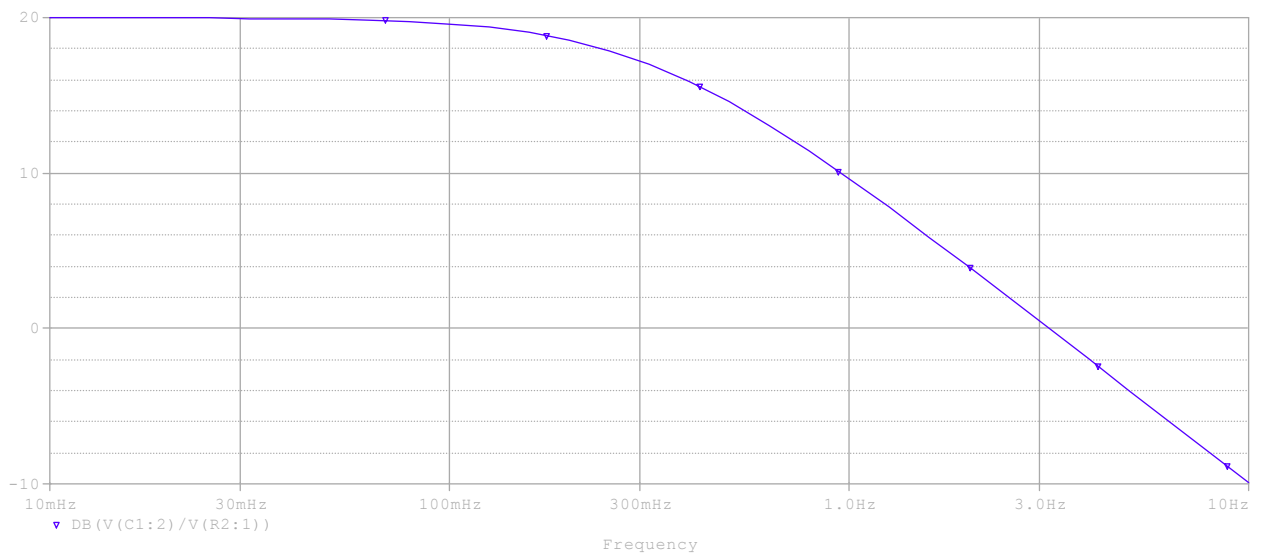
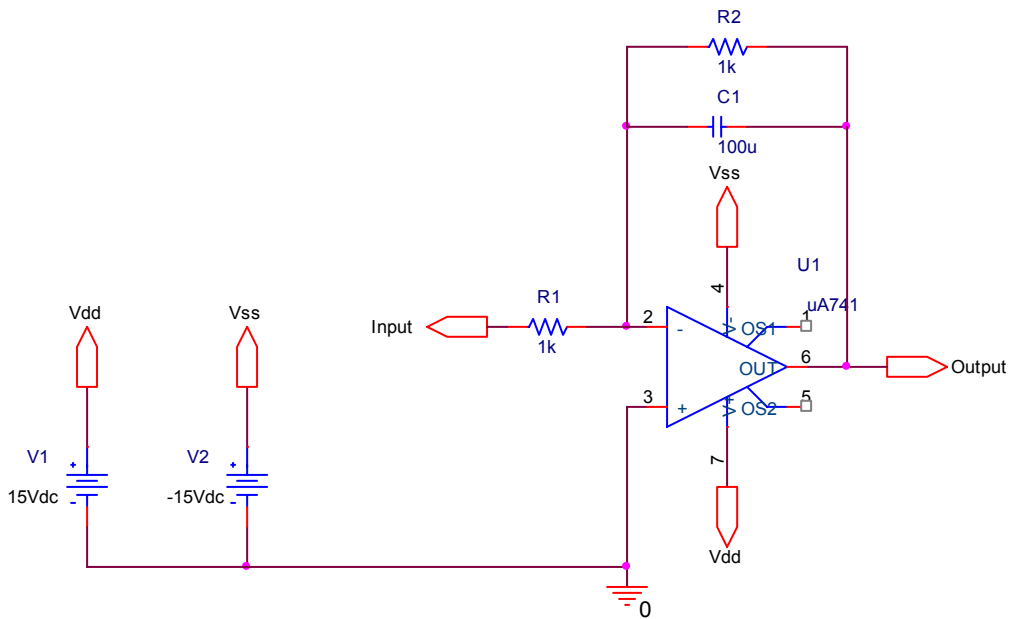
Al fine di ricavare la F.d.t. di questo circuito, basta osservare che quella riportata altro non è che un OpAmp in configurazione invertente, in cui l’impedenza di retroazione vale  $Z_f = 1/sC$  e quella d’ingresso vale  $Z_i = R$ .

Allora:

$$F(s) = V_o(s) / V_i(s) = -\frac{Z_f}{Z_i} = -\frac{1}{sCR}$$

Bisogna precisare che questo è uno schema teorico.

Nella realizzazione pratica, infatti, per evitare che alle basse frequenze l’OpAmp operi in anello aperto (il condensatore è equivalente ad un lato aperto), e per far sì che la configurazione presenti un guadagno finito (sempre in BF), si pone una resistenza in parallelo a C:

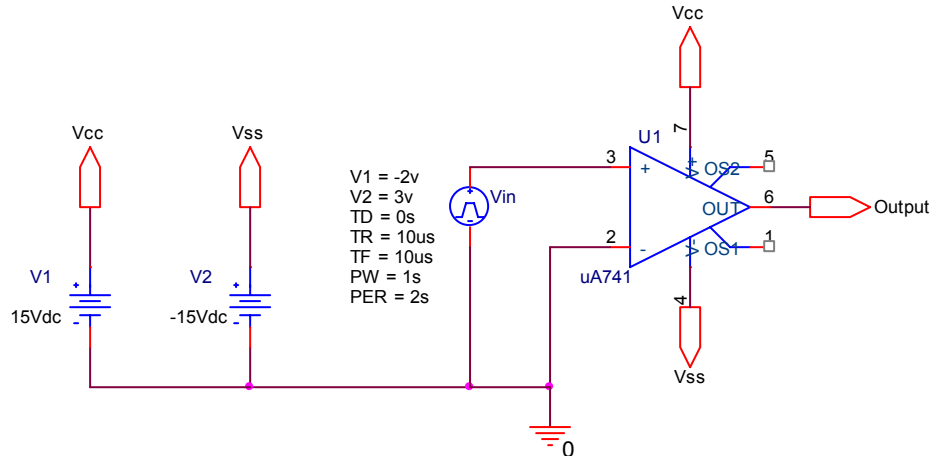


$$F(s) = V_o(s) / V_i(s) = - \frac{Z_f}{Z_i} = - \frac{R_2}{R_1(1 + sCR_2)}$$

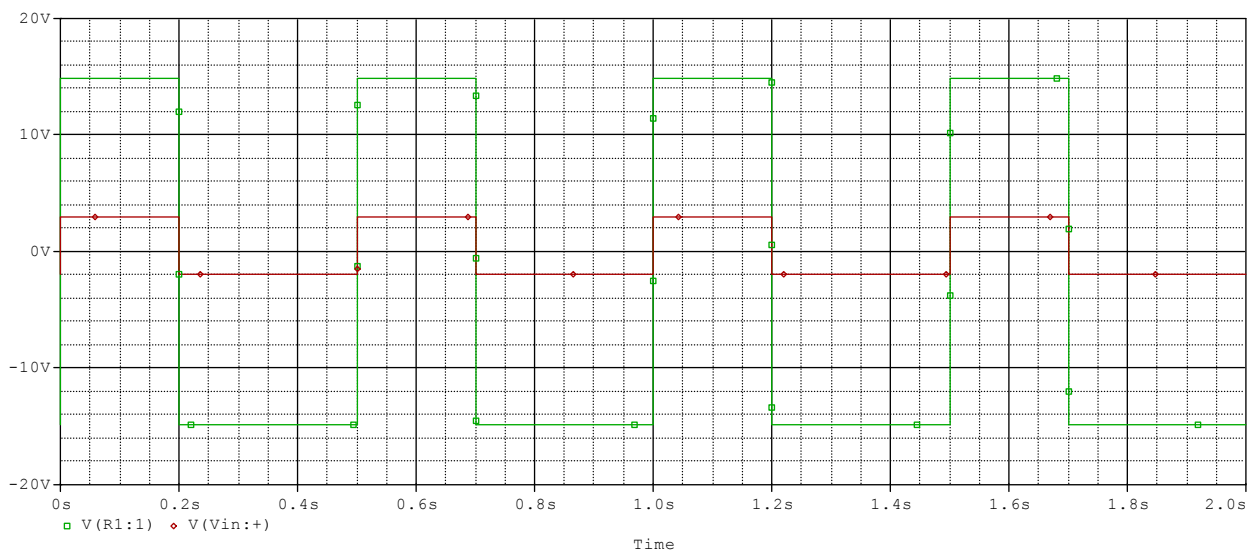
Comparando i diagrammi di Bode di  $|F(j\omega)|_{dB}$  e di  $|H(j\omega)|_{dB}$ , si evince che il circuito modificato funziona da integratore per segnali con frequenza superiore a quella del polo  $\left(f_p = \frac{1}{2\pi R_2 C}\right)$ , mentre per segnali con frequenza minore il circuito si comporta come un semplice amplificatore invertente con guadagno  $- R_2/R_1 = 20dB$ .

## Comparatore di zero

Il comparatore è un circuito che confronta la tensione d'ingresso con una di riferimento. L'uscita del comparatore indica se il valore del segnale di ingresso è superiore o inferiore a quello della tensione di riferimento. Un generico OpAmp, utilizzato ad anello aperto come di seguito riportato, costituisce un comparatore semplice ed economico.



Idealmente la tensione di uscita vale  $V_{CC}$  quando il segnale d'ingresso è maggiore di  $V_{REF}$ , viceversa vale  $V_{EE}$  quando l'ingresso dell'OpAmp è più basso di  $V_{REF}$ . Nella realtà, però, i valori che può raggiungere  $v_o$ , sono generalmente un paio di volt inferiori alle tensioni di alimentazione dell'OpAmp; tali valori vengono detti rispettivamente: tensione di saturazione positiva ( $V_{SAT}^+$ ) e negativa ( $V_{SAT}^-$ ). Inoltre, non bisogna tralasciare nemmeno la presenza della tensione di off-set d'ingresso dell'OpAmp, che deve essere annullata per ottenere il punto esatto di commutazione. I diagrammi sotto riportati rappresentano un arbitrario andamento di  $v_i(t)$  (grafico rosso) e la corrispondente tensione d'uscita  $v_o(t)$  (grafico verde), con  $V_{REF} = 0V$ .



Sebbene sia sufficiente utilizzare un OpAmp in open-loop, il comparatore che si ottiene presenta un limite: un OpAmp per usi generici è piuttosto lento nella commutazione. Pertanto, in applicazioni in cui si richiede una certa velocità, è indicato l'impiego di OpAmp dedicati:

esistono in commercio OpAmp specificatamente concepiti per essere utilizzati come comparatori. Tra questi, poi, bisogna preferire quelli non compensati, dato che una compensazione esterna riduce lo slew-rate dell'OpAmp.

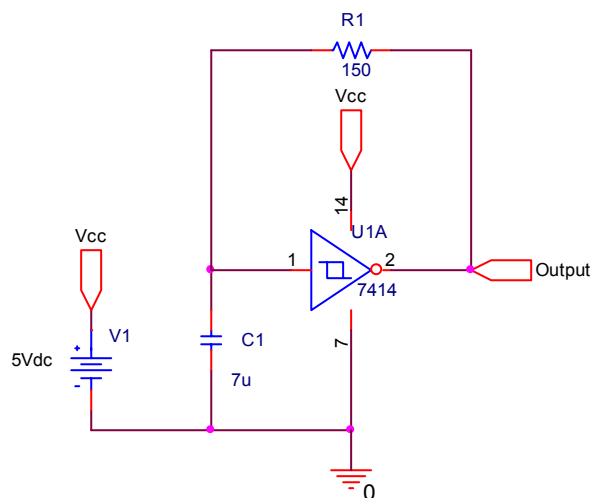
Per quanto sopra, si è pensato di realizzare il comparatore impiegato nell'ADC, utilizzando il comparatore di precisione integrato 311, che presenta ottime prestazioni per quanto riguarda sia il tempo sia la precisione della risposta. Un altro aspetto molto interessante è costituito dal fatto che, indipendentemente dai valori dell'alimentazione, il 311 può pilotare carichi DTL, TTL e C-MOS. Infatti, come illustrato nel data-sheet, lo stadio di uscita è costituito da un transistor a collettore ed emettitore aperti: il primo deve essere collegato, tramite un'opportuna resistenza, ad un'alimentazione positiva (che può essere più positiva di max 40V rispetto all'alimentazione negativa), il secondo va collegato a massa.

## Generatore del segnale di sincronismo

Questa unità deve fornire un segnale ad onda quadra, utilizzato come segnale di clock per il contatore.

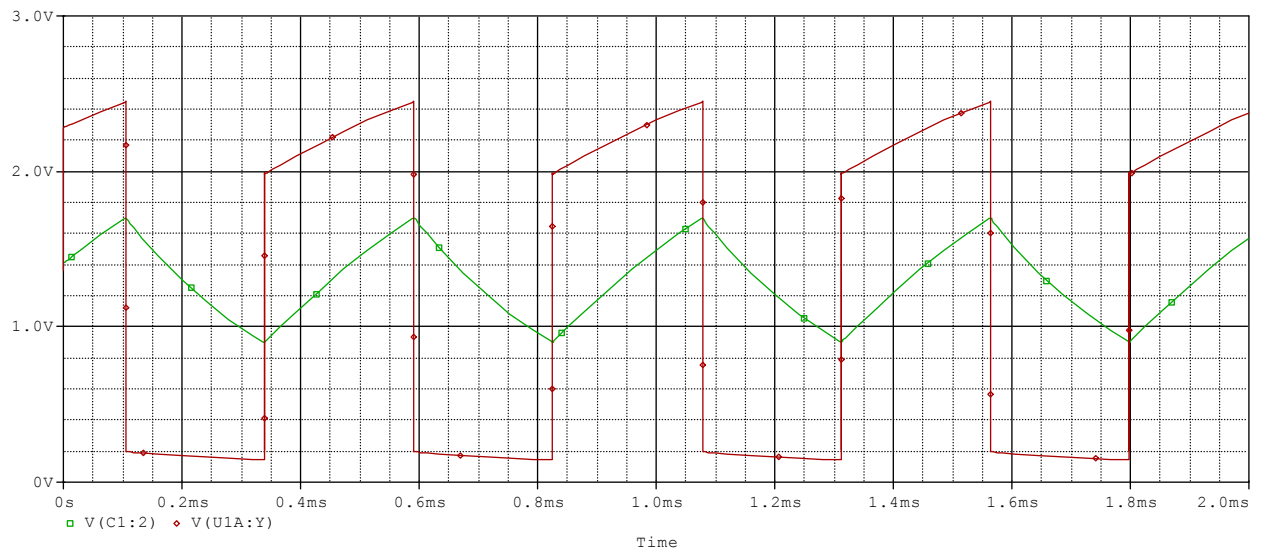
Molteplici sono le tecniche circuitali che consentono di realizzare un treno d'impulsi: dall'utilizzo dell'integrato **temporizzatore 555** (contornato da una adeguata rete circuitale), all'impiego di **circuiti logici** (porte) sia in tecnologia TTL che C-MOS.

La scelta è caduta sull'astabile a trigger di Schmitt, che vede l'utilizzo di un inverter (triggerato), di una resistenza R e di una capacità C, come illustrato nello schema seguente.

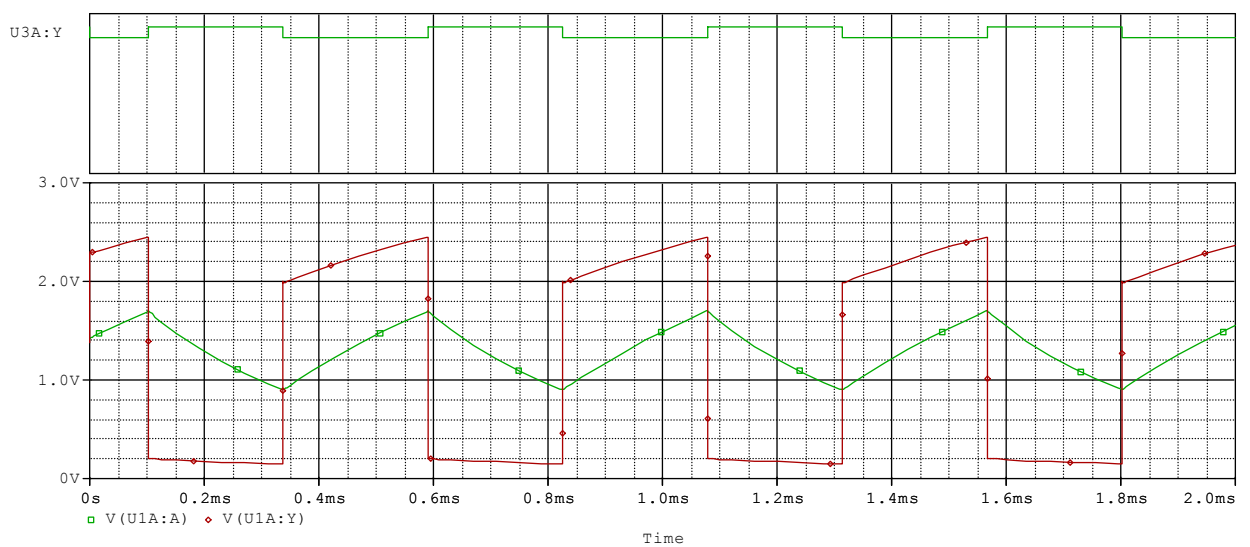


Il funzionamento del circuito è il seguente: inizialmente C è scarico, quindi  $v_c = 0$  e  $v_o = V_{CC}$ . Il condensatore allora si carica con costante di tempo  $\tau = RC$ , finché  $v_c$  non raggiunge la tensione di soglia superiore ( $V_T^+$ ) del trigger. A questo punto  $v_o$  si porta a livello logico basso e C si scarica a massa attraverso R. Quando  $v_c$  (tendendo a 0V) raggiunge la tensione di soglia inferiore ( $V_T^-$ ), il trigger commuta nuovamente l'uscita a  $V_{CC}$  e C riprende a caricarsi. L'andamento di  $v_c$  a regime risulta compreso allora tra  $V_T^-$  e  $V_T^+$  e  $v_o$  presenta un andamento ad onda quadra, come riportato nei diagrammi temporali.

Per ottenere un segnale di sincronismo che abbia una forma più squadrata, si può porre in cascata un secondo inverter; non c'è spreco di componenti perché, come si vede dal data-sheet del 7114, sono presenti ben 6 porte: il miglioramento nella forma d'onda del segnale è evidente.



(a)



(b)

Segnale di sincronismo (a) con un solo inverter, (b) con due inverter: il miglioramento è evidente.

Per calcolare il periodo dell'onda, si sfrutta la nota legge che permette di ricavare l'andamento di una generica funzione esponenziale:  $Y(t) = Y_f - (Y_f - Y_i) e^{-t/\tau}$ , dove  $Y_f$  è il valore finale a cui tende l'esponenziale (cioè per  $t \rightarrow \infty$ ), e  $Y_i$  è il valore iniziale (cioè per  $t = 0^+$ );  $\tau$  rappresenta la costante di tempo.

Applicando questa legge alla  $v_c$  si ottiene l'equazione:  $v_c(t) = V_f - (V_f - V_i) e^{-t/\tau}$ . Nel nostro caso:

- nel semiperiodo  $T_1$  :

$$V_f = 0, V_i = V_T^+ \quad \text{quindi} \quad v_c(T_1) = V_T = 0 - (0 - V_T^+) e^{-T_1/\tau} = V_T^+ e^{-T_1/RC}$$

$$T_1 = RC \log_e (V_T^+ / V_T^-)$$

- nel semiperiodo  $T_2$  :

$$V_f = V_{CC}, V_i = V_T^- \quad \text{quindi} \quad v_c(T_2) = V_T^+ = V_{CC} - (V_{CC} - V_T^-) e^{-T_2/RC}$$

$$T_2 = RC \log_e \frac{V_{CC} - V_T^-}{V_{CC} - V_T^+}$$

Il periodo risulta così :  $T = T_{CK} = T_1 + T_2 = RC \log_e \left( \frac{V_{CC} - V_T^-}{V_{CC} - V_T^+} \frac{V_T^+}{V_T^-} \right)$

## Contatore

Il contatore da utilizzare deve essere del tipo sincrono.

Esso può essere realizzato ponendo in cascata il necessario numero di flip-flop J-K opportunamente collegati, con il segnale di clock comune a tutti i bistabili.

A questa soluzione, però, è stato preferito l'utilizzo di un contatore sincrono integrato, che comporta vari vantaggi: la compattezza della struttura è sicuramente il più evidente.

Tra i tanti contatori integrati presenti in commercio, si è scelto il 74161. Questo è un contatore modulo 16, con conteggio in avanti, che è previsto di terminali d'ingresso che consentono, qualora sia necessario, il caricamento di una qualsiasi combinazione iniziale in forma parallela: i contatori con questa caratteristica vengono detti programmabili. Il caricamento dello stato iniziale può avvenire sia in modo asincrono, tramite un apposito comando di abilitazione e indipendentemente dallo stato del clock, oppure in modo sincrono; in questo caso, una volta selezionata l'operazione di caricamento parallelo, lo stato predisposto agli ingressi viene acquisito solo con il primo fronte utile del clock.

Il terminale di Clear è attivo a livello basso.

Per ulteriori informazioni, è possibile consultare il data-sheet allegato.

## Flip – flop

Il flip-flop (FF) è l'elemento base (assieme al latch) di tutti i circuiti di memorizzazione. La differenza tra latch e FF, è che la possibilità di acquisire un dato non persiste per tutto il tempo durante il quale il terminale di abilitazione è al livello attivo, ma è limitata ad un istante. In pratica, il consenso all'acquisizione di un dato non è legato ad un livello del segnale di abilitazione, ma ad una sua transizione, di durata così breve da essere identificabile con un singolo istante.

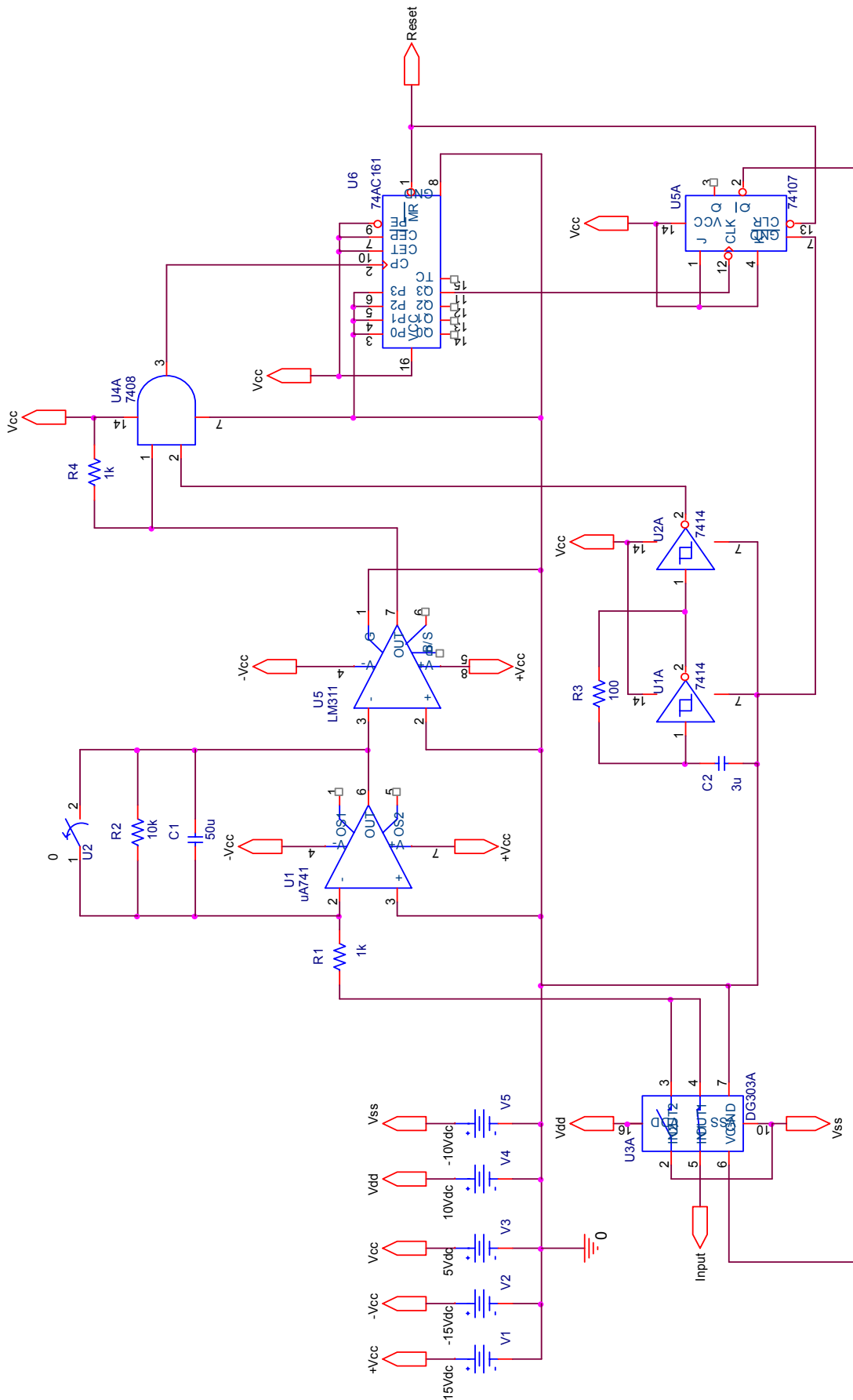


I circuiti logici progettati con questa filosofia vengono detti bistabili sincroni o flip-flop; il segnale di abilitazione, che con le sue transizioni sincronizza il funzionamento di tutta la rete sequenziale, viene chiamato clock.

Le tipologie di FF sono: JK, D e SR (è la versione cadenzata della rispettiva latch).

### [Schema elettrico](#)

Lo schema elettrico del convertitore è:



All'inizio del processo di conversione il deviatore posto in ingresso alimenta l'integratore con  $V_a$ , che è il campione del segnale analogico. La tensione d'uscita dell'integratore sarà una

rampa negativa  $-\frac{V_a t}{RC}$  (come è possibile vedere dai grafici riportati), che va in ingresso al comparatore, portando così la sua uscita alta: questo abilita il passaggio degli impulsi di clock che giungono allora al contatore binario, che conta per tutta la sua lunghezza (ossia per  $2^n$  cicli di clock): questo comporta la commutazione di tutte le uscite del contatore a 0, fornendo così una transizione H-L in corrispondenza della quale il FF cambierà stato. Il deviatore d'ingresso alimenterà allora l'integratore con la tensione di riferimento  $V_{REF} = V_{EE}$  (che ha quindi polarità opposta a quella del campione analogico). A questo punto, se  $T_1$  è il tempo necessario al contatore per commutare tutte le uscite a 0, l'uscita dell'integratore ha raggiunto il valore  $-\frac{V_a T_1}{RC}$ , e comincia a salire con pendenza  $\frac{V_{REF}}{RC}$ . Dopo essersi azzerato, il contatore riprende a contare finché l'uscita dell'integratore, raggiungendo lo zero (nell'istante di tempo  $T_2$ ), fa commutare il comparatore, inibendo così il passaggio del clock. Il numero D memorizzato nel contatore è proporzionale al valore  $V_a$ . Infatti la pendenza della rampa positiva è costante ed indipendente da  $V_a$ ; la durata di questa rampa, dipende dal valore di tensione a cui è scesa in precedenza l'uscita dell'integratore, quindi da  $V_a$ . Possiamo legare  $V_a$  con D, uguagliando l'espressione delle due rampe (questo perché l'escursione di  $V_o$  durante le due rampe è la stessa):

$$\frac{V_a T_1}{RC} = \frac{V_a (T_2 - T_1)}{RC}$$

se  $T_{CK}$  è il periodo del segnale di clock, allora:  $T_1 = 2^n T_{CK}$  e  $T_2 - T_1 = D T_{CK}$ , si ha:

$$V_a = \frac{V_{REF}}{2^n} D$$

Questo circuito funziona correttamente se  $V_a < V_{REF}$ .

Alla fine di ogni conteggio poi, il dato D viene memorizzato o prelevato per essere direttamente elaborato, il contatore ed il FF vengono azzerati ed il condensatore  $C_1$  scaricato con la chiusura dell'interruttore.

## Dimensionamento dei componenti

Per il dimensionamento dell'integratore, bisogna considerare il contenuto frequenziale del segnale in ingresso (come esposto nella relativa sezione). Volendo convertire segnali analogici lentamente variabili, si è considerata come frequenza minima del segnale  $f_{in} = 20 \text{ Hz}$ .

Si ha allora:  $f_{in} = 20 \text{ Hz} = \frac{1}{R_1 C_1}$ ; fissato  $R_1 = 1 \text{ K}\Omega$ , sarà  $C_1 = 50 \mu\text{F}$ .

$R_2$  viene scelta dieci volte superiore a  $R_1$ , quindi  $R_2 = 10 \text{ K}\Omega$ .

Adesso, essendo  $f_p = 0.32 \text{ Hz}$ . Essendo verificata la condizione  $f_{in} > f_p$ , il circuito integratore funzionerà a dovere.

Per quel che riguarda il dimensionamento dei componenti dell'astabile, si è partiti fissando il valore della frequenza di campionamento  $f_{CK} = \frac{1}{T_{CK}} = 3.5 \text{ KHz}$ . Sfruttando l'equazione

ricavata nella relativa sezione con  $V_T^- = 0.9V$  e  $V_T^+ = 1.7V$  (valori riportati nel data-sheet) risulta:  $T_{CK} = 0.9RC$ ; scegliendo  $R=100\Omega$ , si ottiene per  $C$  il valore di  $3.1\mu F$ . Il valore commerciale che più si avvicina a quello trovato è  $3\mu F$ : questo comporta una deviazione del valore di  $f_{CK}$ , che diventa così:  $3685Hz$ .

Come è possibile vedere dalle simulazioni riportate in appendice, questo convertitore presenta un tempo di conversione  $t_c = 17.5ms$  (bisogna ovviamente considerare il tempo necessario a convertire il massimo valore analogico che può essere accettato dall'ADC).

Nota  $t_c$  possiamo determinare la massima estensione della banda  $f_b$  del segnale da convertire.

Dalla relazione di Nyquist:  $f_s \geq 2f_b$ . Il periodo di campionamento sarà

allora:  $T_s = \frac{1}{f_s} \leq \frac{1}{2f_b}$ . Tra un campione e l'altro, l'ADC deve avere il tempo di effettuare la

conversione, quindi deve essere verificata la condizione:  $t_c \leq \frac{1}{2f_b}$ .

Nella pratica è necessario un valore di  $t_c$  molto minore per vari motivi:

- i filtri limita banda posti a monte del convertitore non sono ideali, ma presentano un passaggio graduale dalla banda passante alla banda oscura (zona di transizione);
- bisogna prevedere un intervallo di tempo necessario per il trasferimento del dato in memoria, da aggiungere a  $t_c$ ;

Scambiando  $t_c$  con  $f_b$  si ha:  $f_b \leq \frac{1}{2t_c}$ , che è un limite teorico, perché bisogna considerare altri ritardi presenti nella catena di acquisizione che riducono questo valore di frequenza.

Per il convertitore progettato si ha:  $f_b \leq \frac{1}{2 \cdot 17.5 \cdot 10^{-3}} \cong 28.6Hz$ .

Come deviatore d'ingresso, si è utilizzato il DG303A, un doppio interruttore analogico integrato che richiede un'alimentazione duale (vedere data-sheet).

## APPENDICE

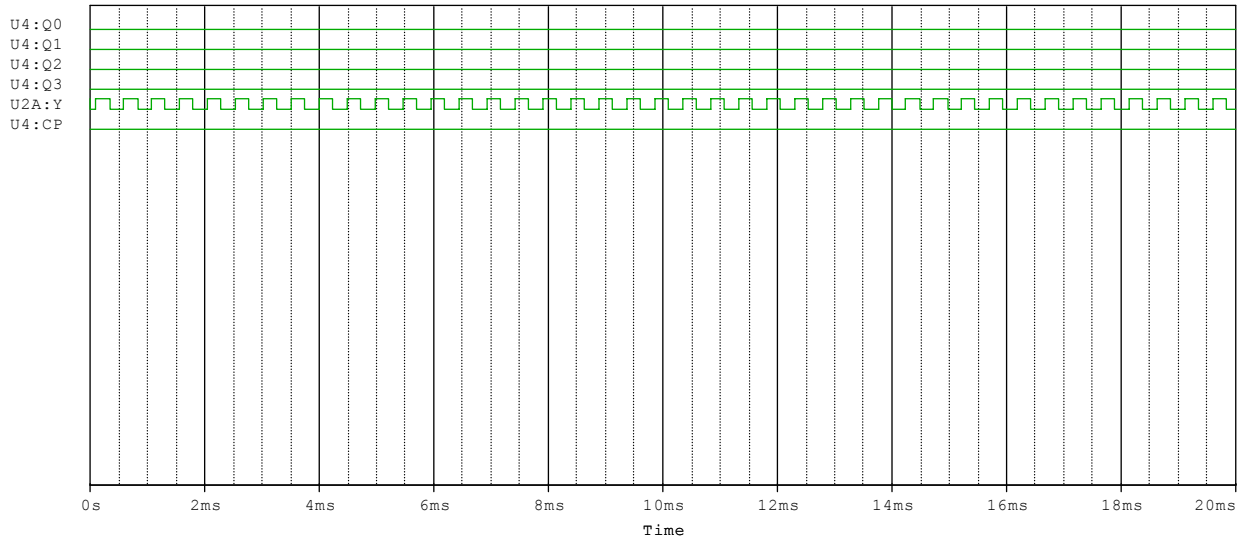
Si riportano ora delle simulazioni, effettuate con il software P-Spice. Esse sono ottenute ponendo un valore di tensione in ingresso al DG303A che rappresenta il campione analogico  $V_a$ , e comprendono: il clock, l'uscita del comparatore, il segnale di sincronismo "filtrato dalla AND" e ovviamente le tensioni  $V_a$  e  $V_{EE}$ .

Le forme d'onda relative alla rampa generata dall'integratore non sono riportate per valori bassi di  $V_a$  per non creare confusione: la rampa non è ben distinguibile dall'asse delle ascisse.

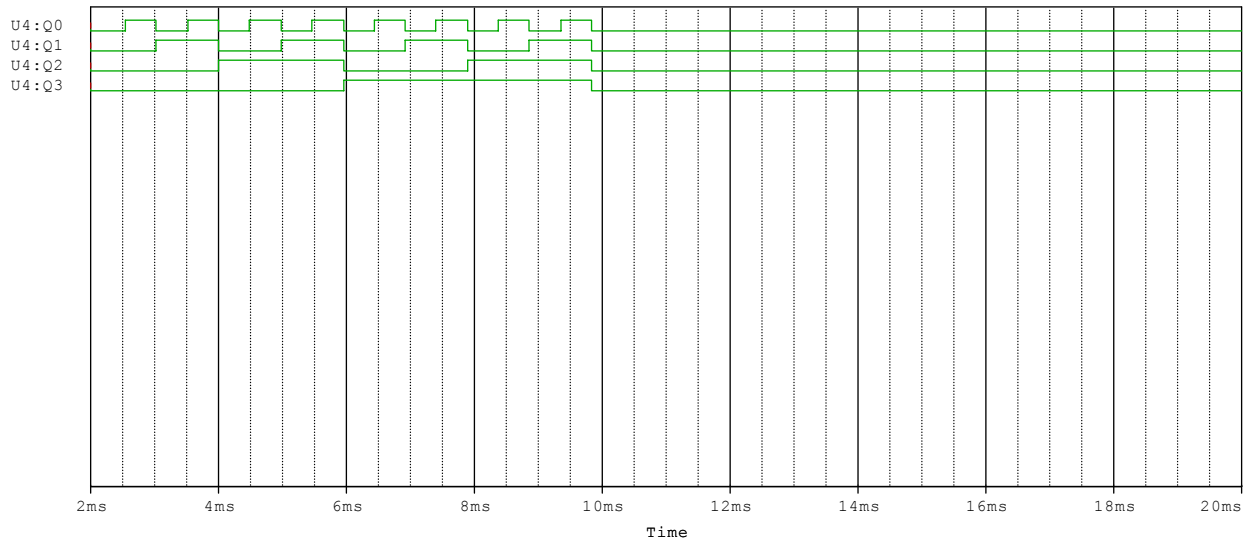
La tabella sotto riporta gli intervalli di quantizzazione con le relative parole codice.

Intervallo analogico [V]	Dato digitale Q <sub>3</sub> Q <sub>2</sub> Q <sub>1</sub> Q <sub>0</sub>
0-0.4	0000
0.5-0.9	0001
1-1.4	0010
1.5-1.9	0011
2-2.4	0100
2.5-2.9	0101
3-3.4	0110
3.5-3.9	0111
4-4.4	1000
4.5-4.9	1001
5-5.4	1010
5.5-5.9	1011
6-6.4	1100
6.5-6.9	1101
7-7.4	1110
7.5-7.9	1111

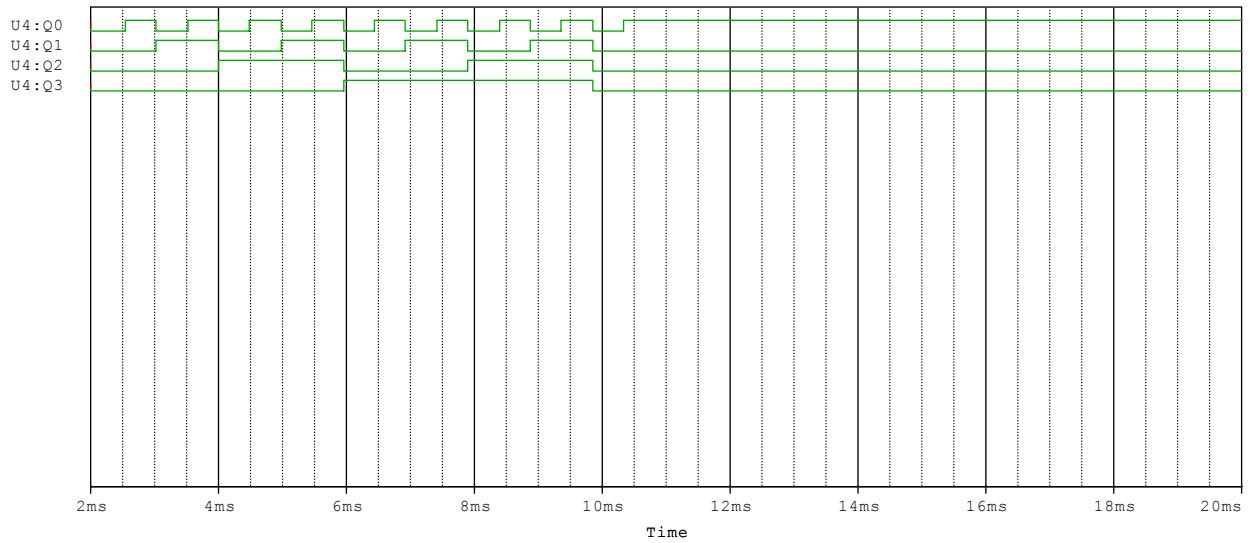
$V_a=0V$



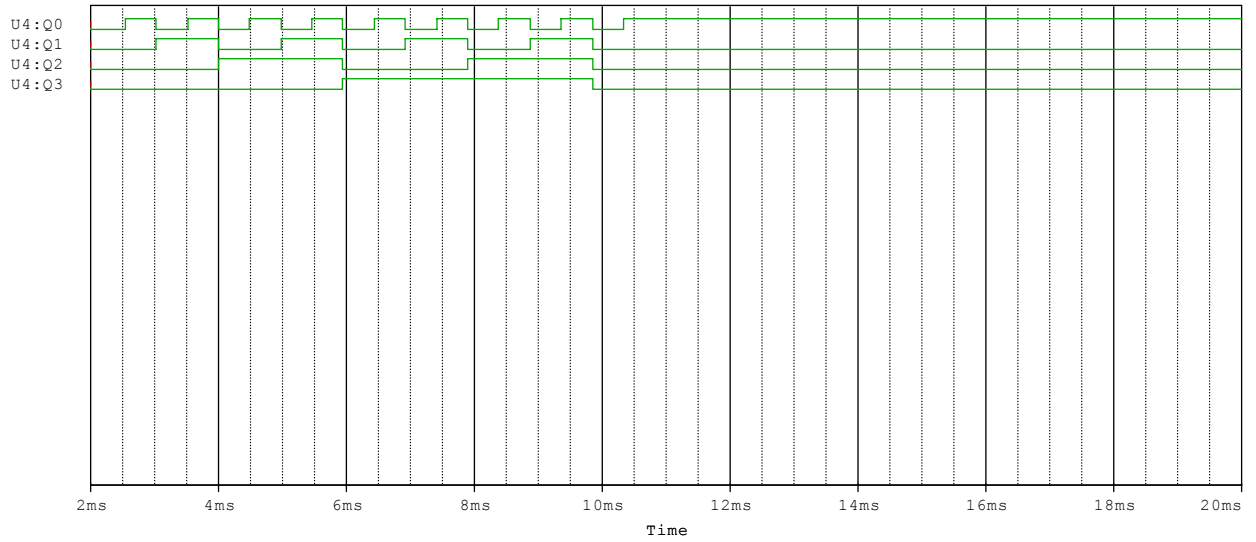
$V_a = 0.4V$



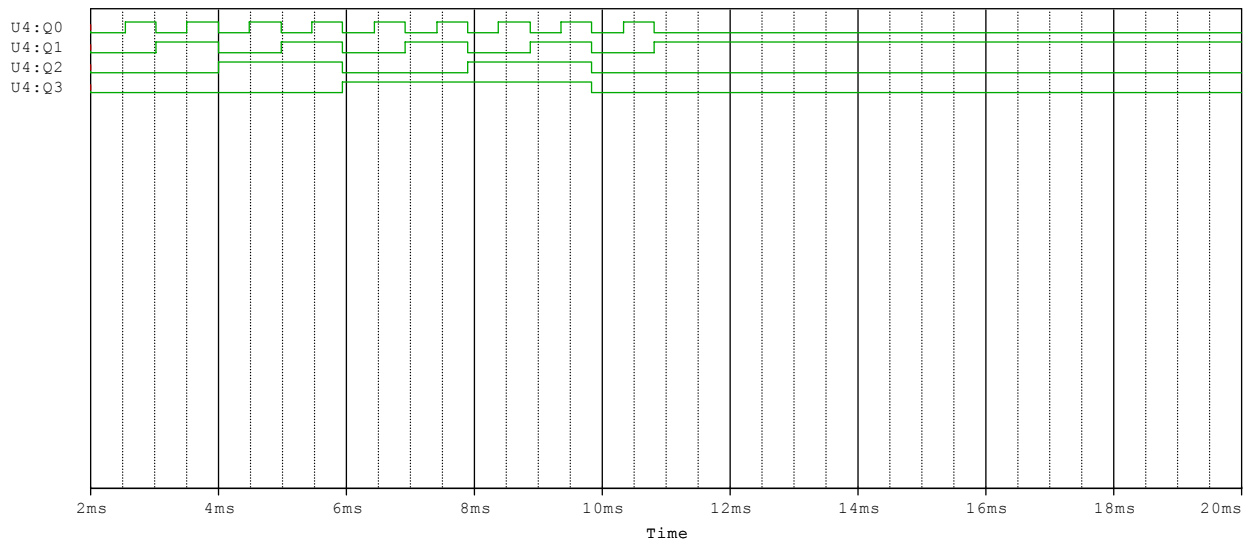
$V_a = 0.5V$



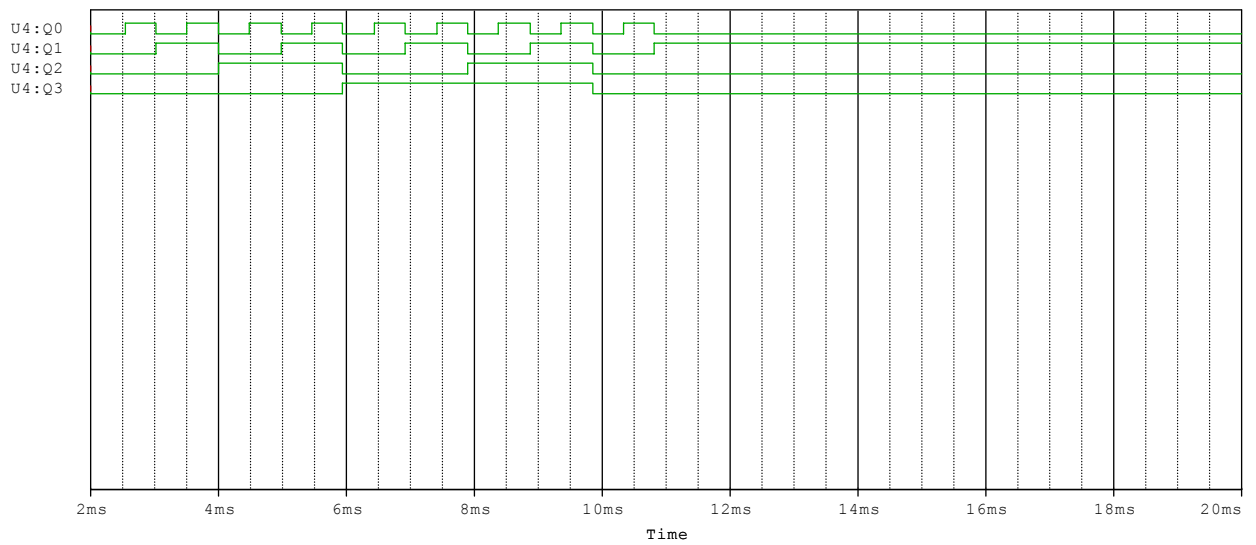
$V_a = 0.9V$



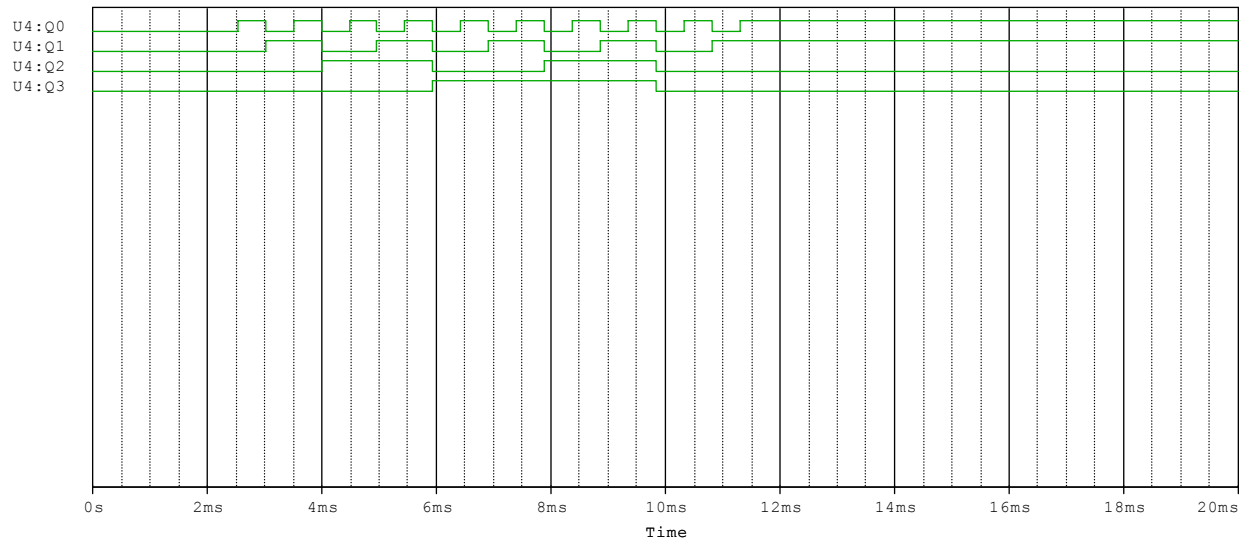
$V_a=1V$



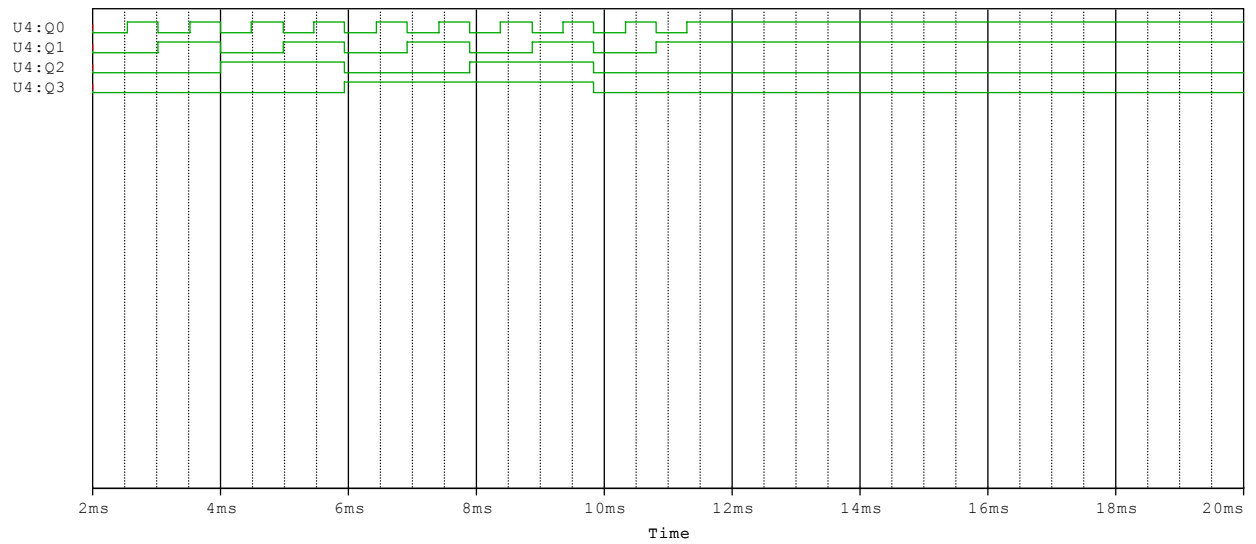
$V_a=1.4V$



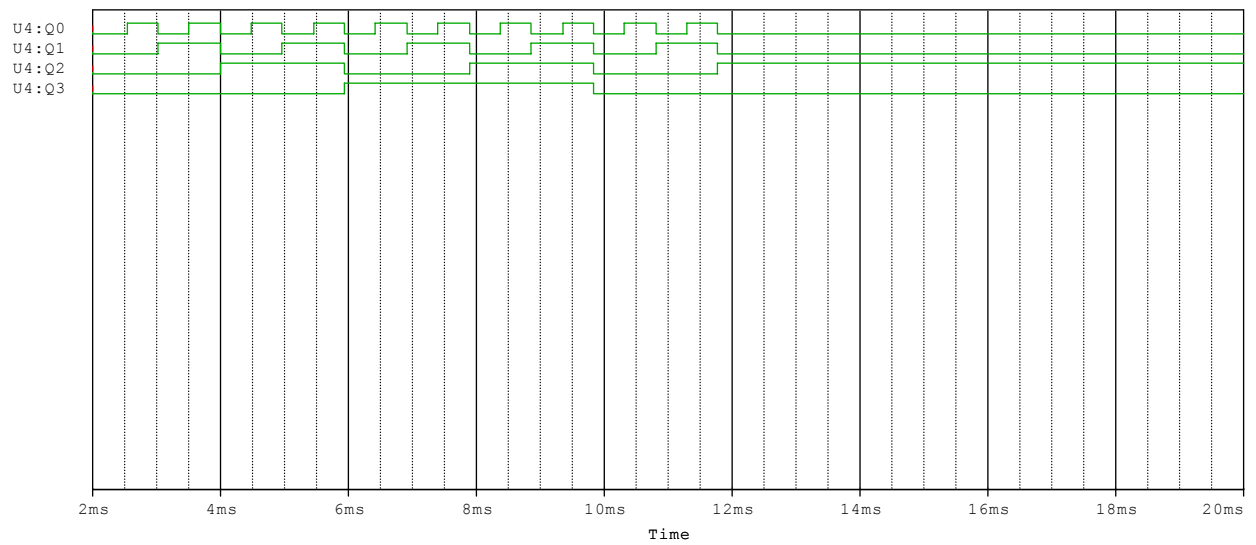
$V_a=1.5V$



$V_a=1.9V$

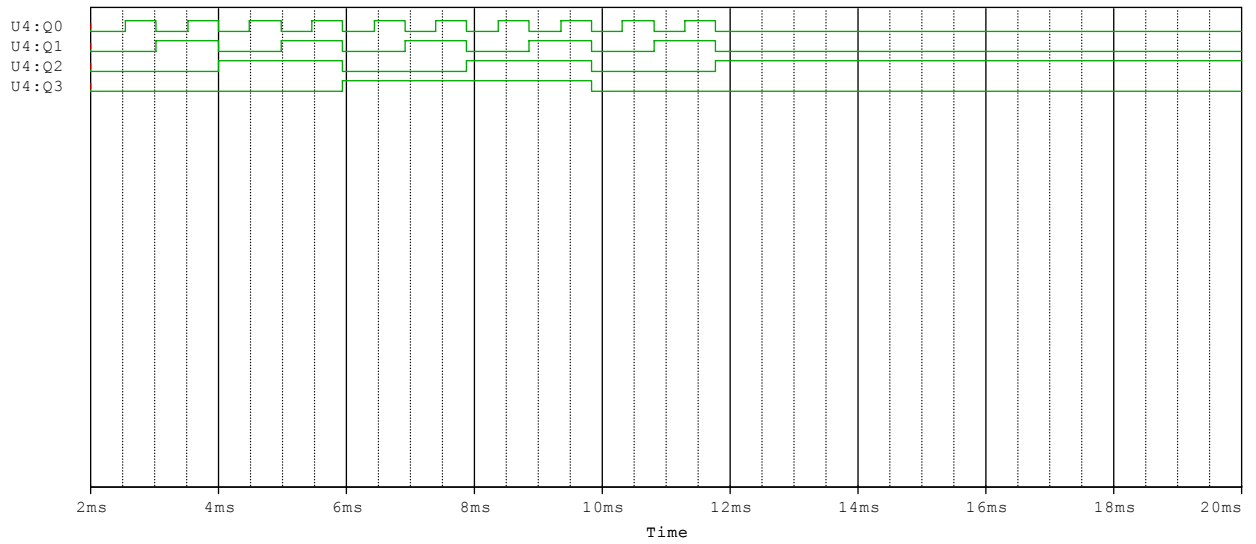


$V_a=2V$

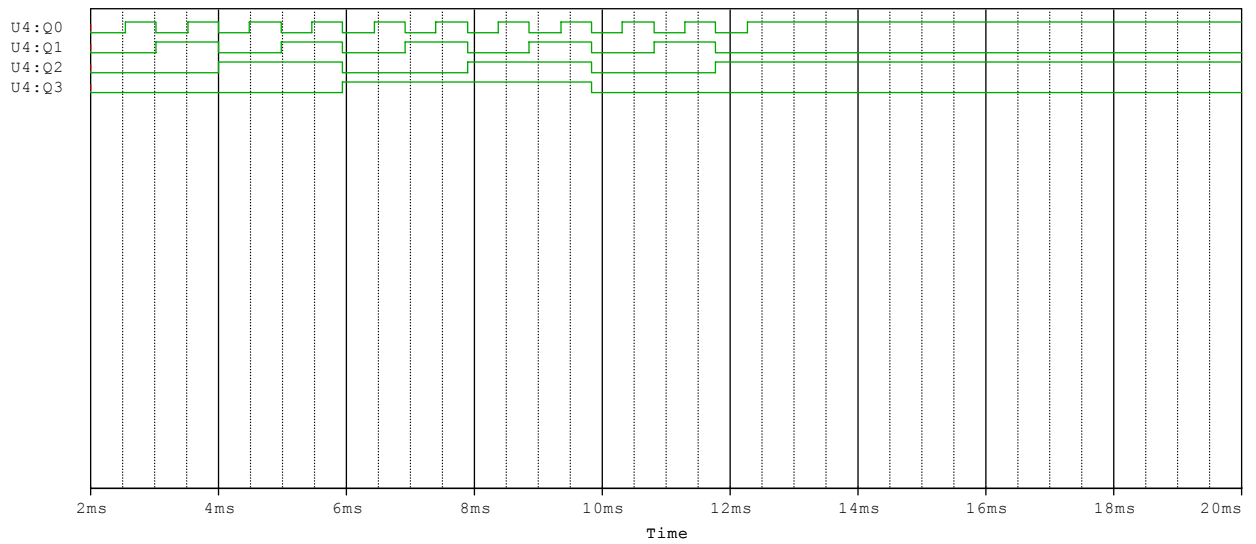


$V_a=2.4V$

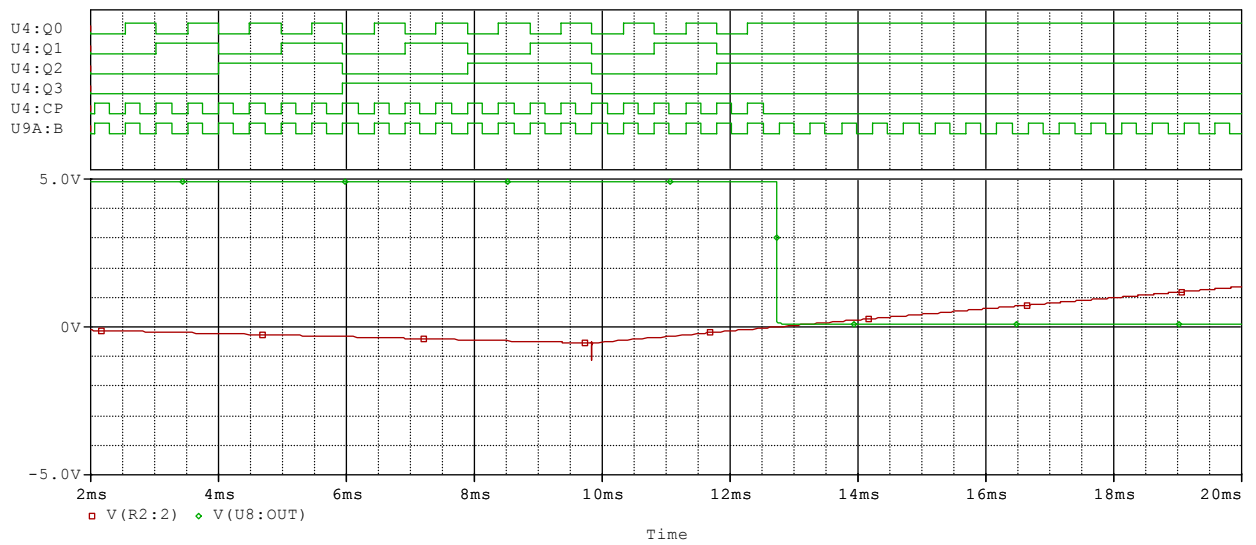




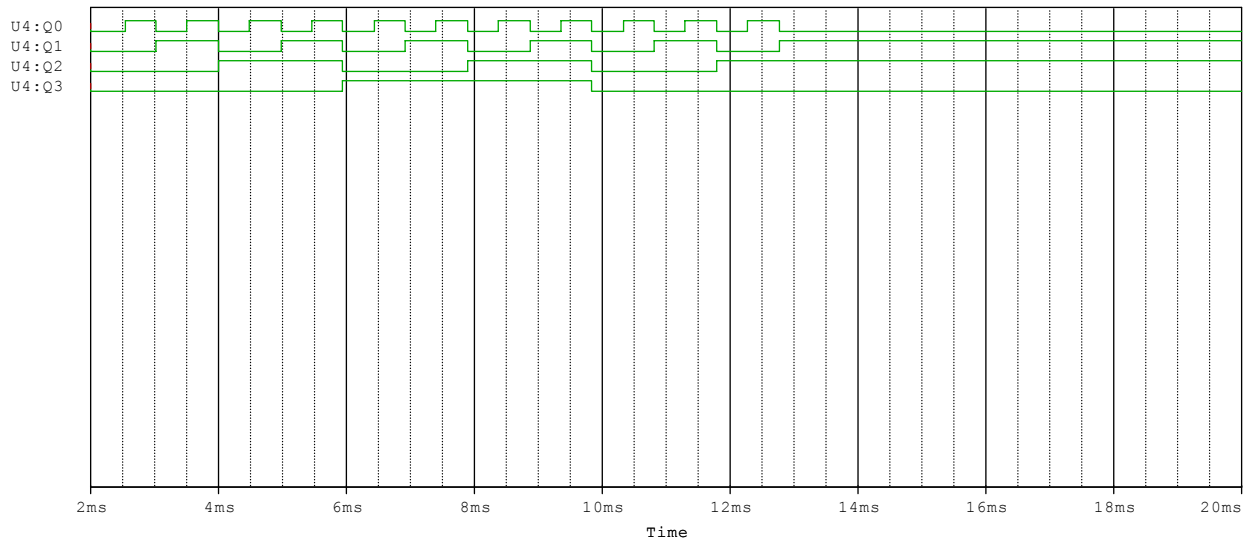
$V_a = 2.5V$



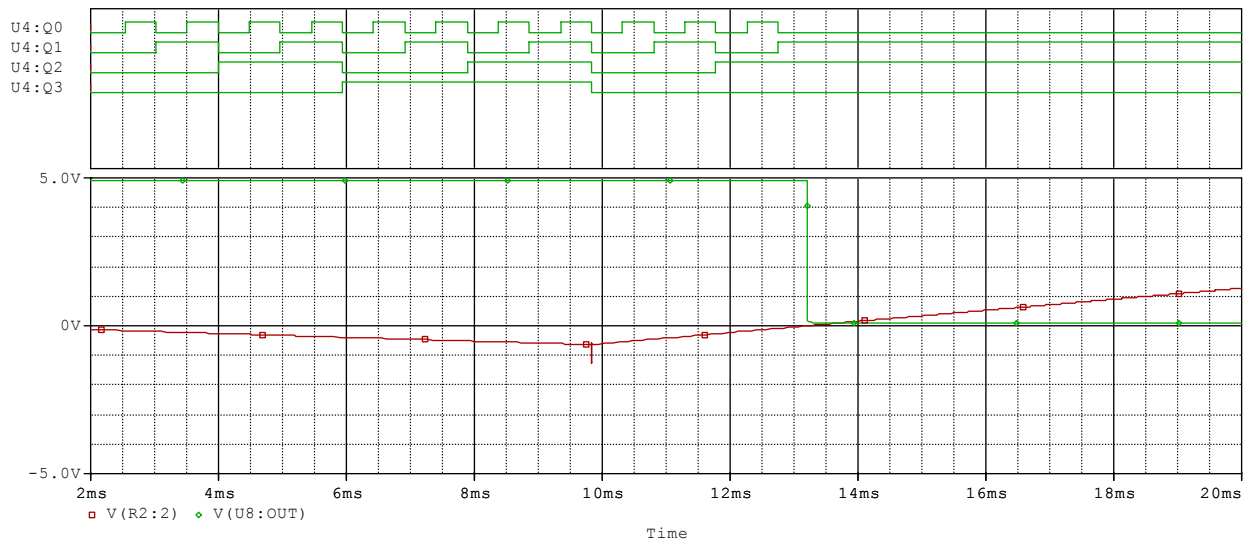
$V_a = 2.9V$



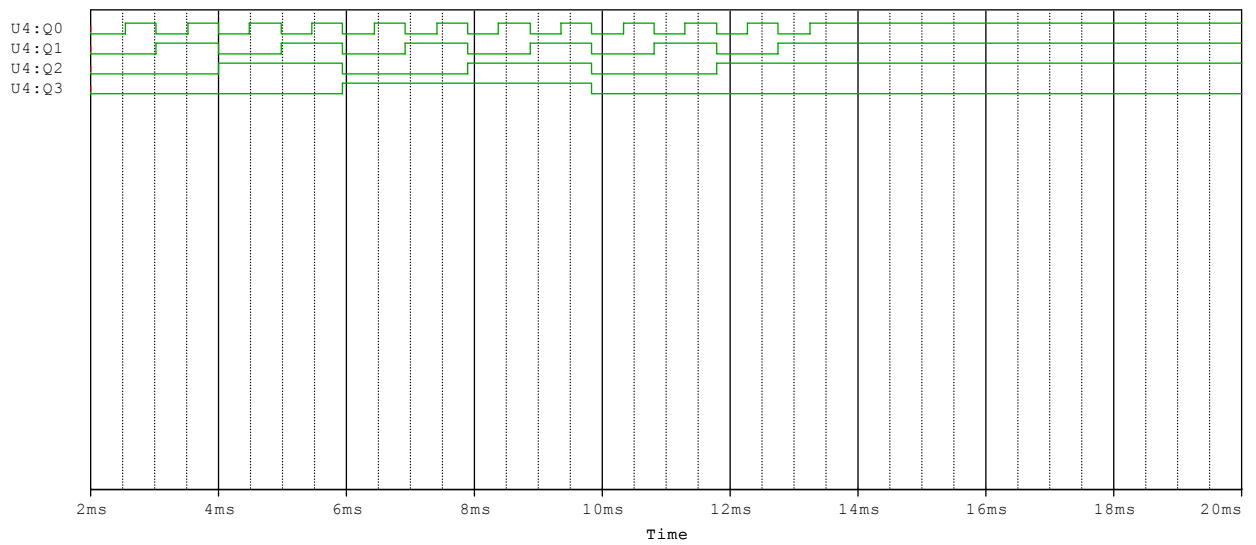
$V_a = 3V$



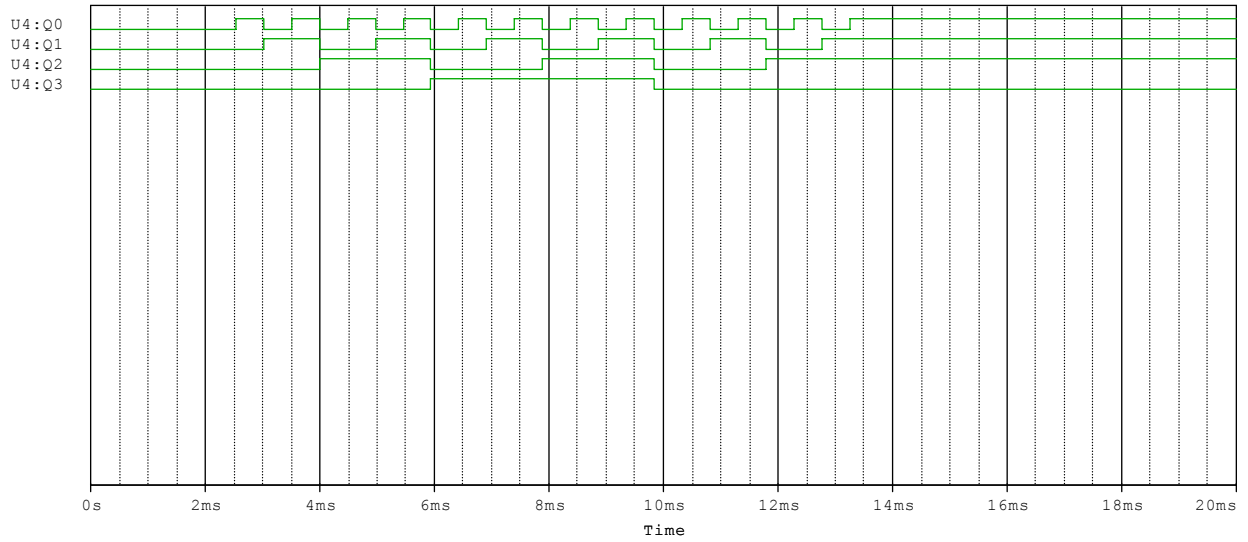
$V_a = 3.4V$



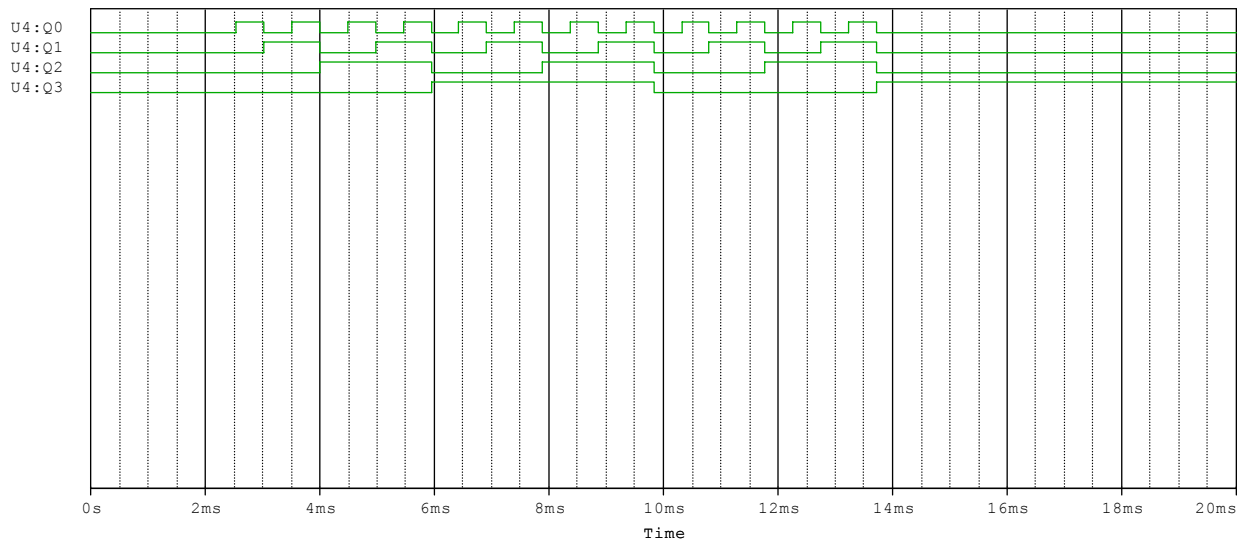
$V_a = 3.5V$



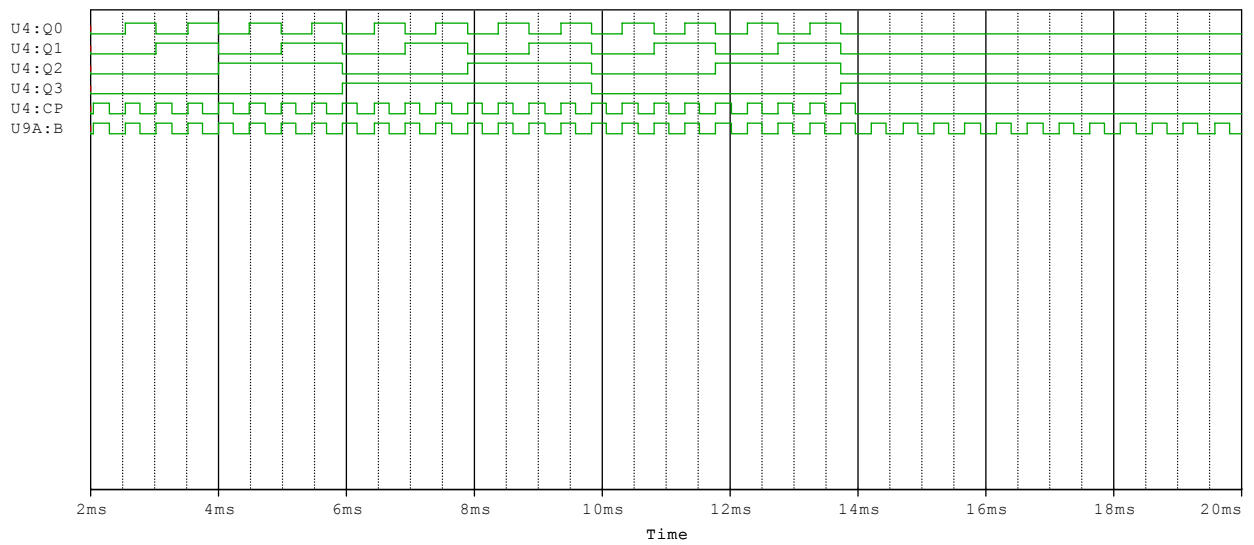
$V_a = 3.9V$



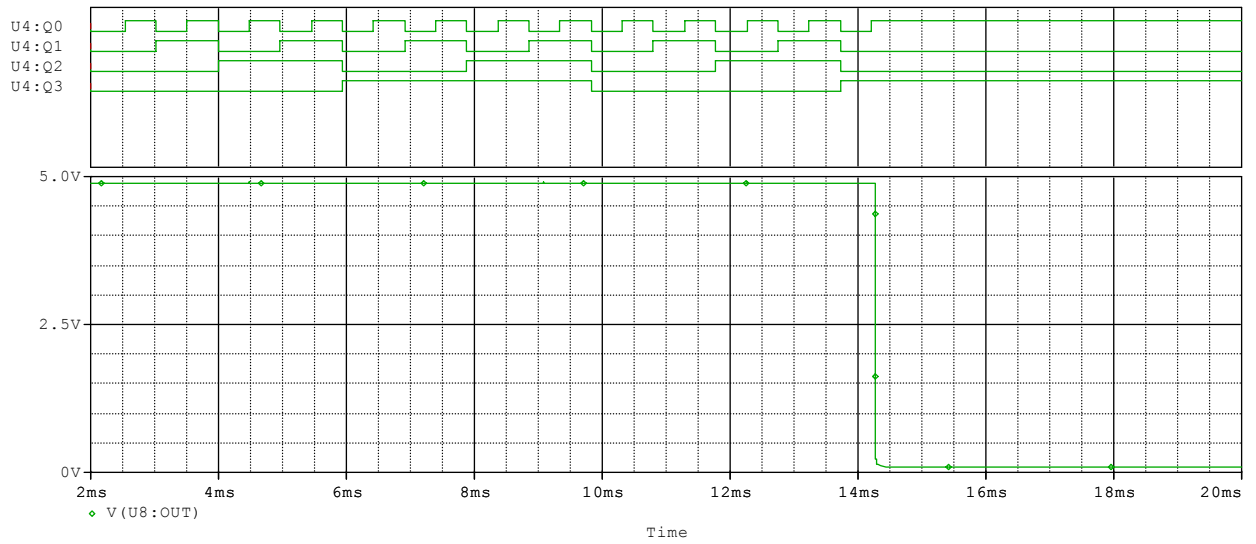
$V_a=4V$



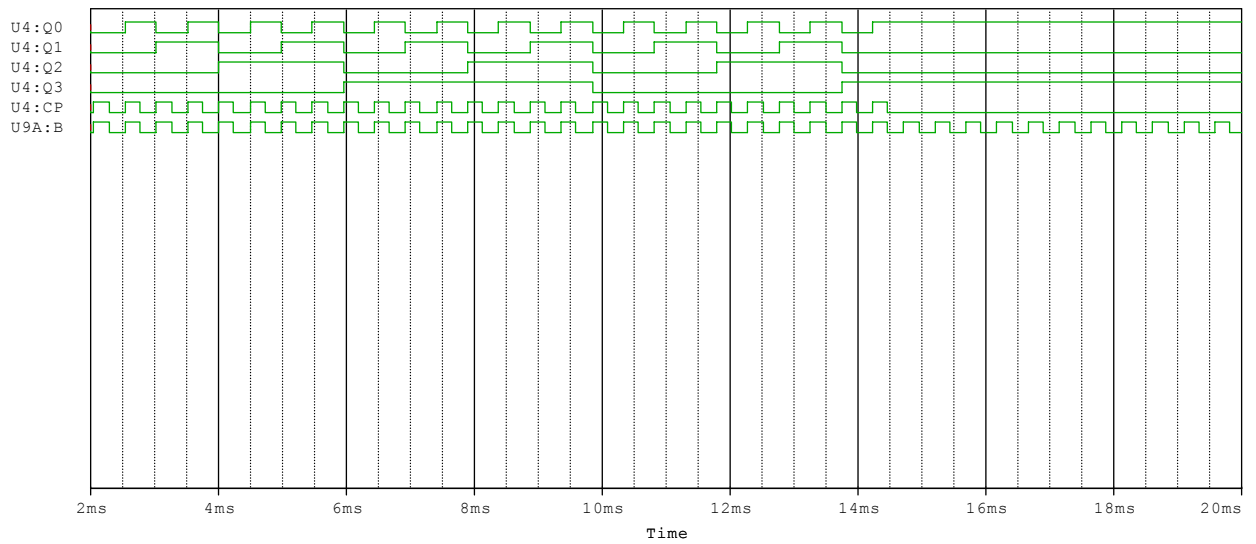
$V_a=4.4V$



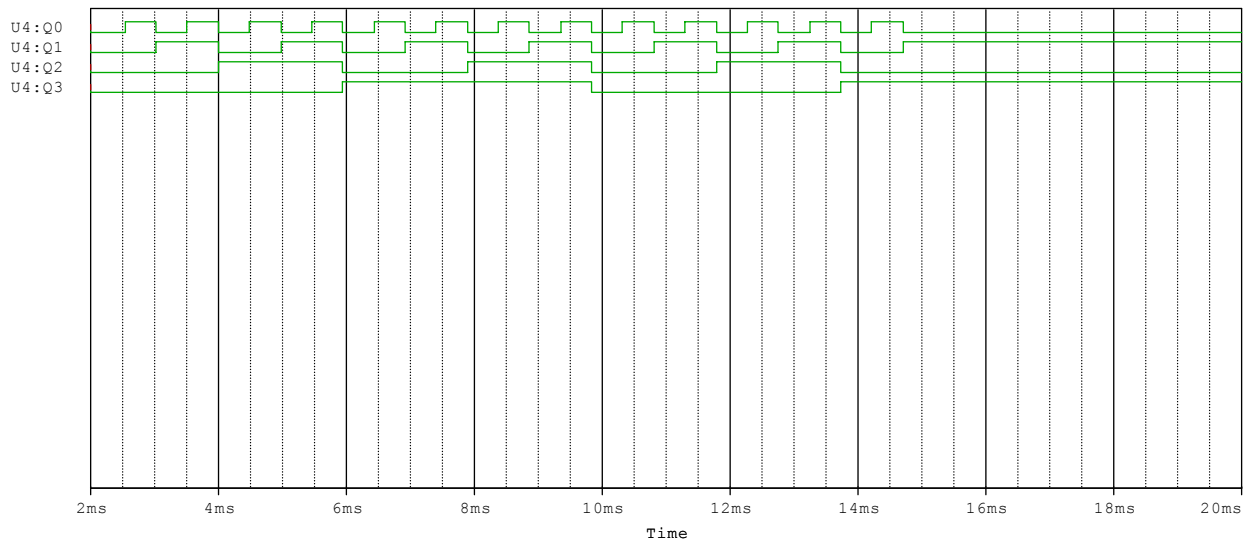
$V_a=4.5V$



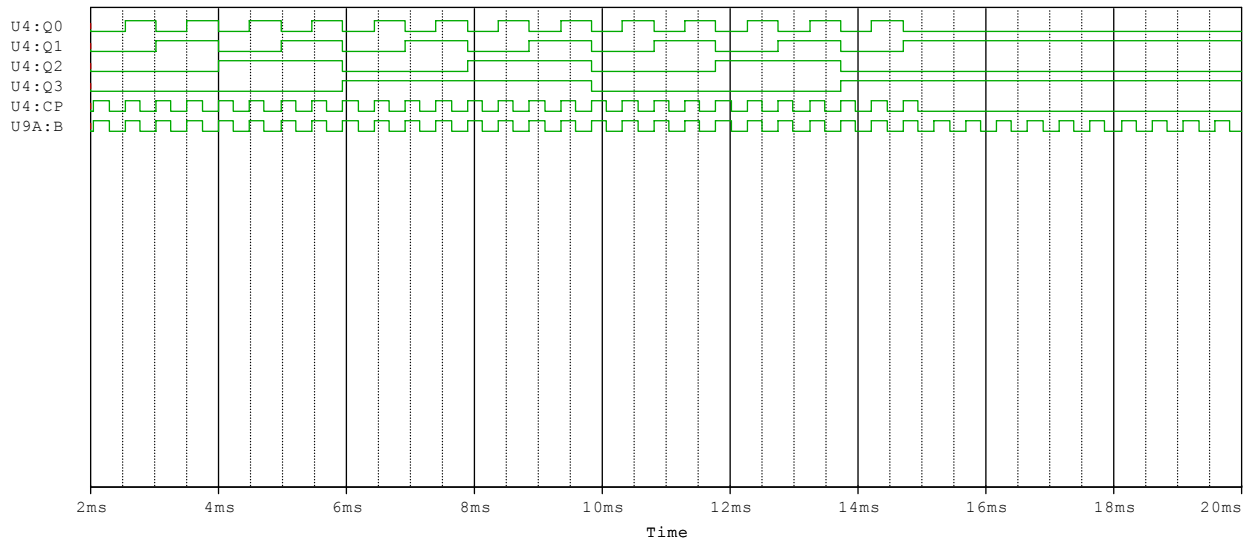
$V_a = 4.9V$



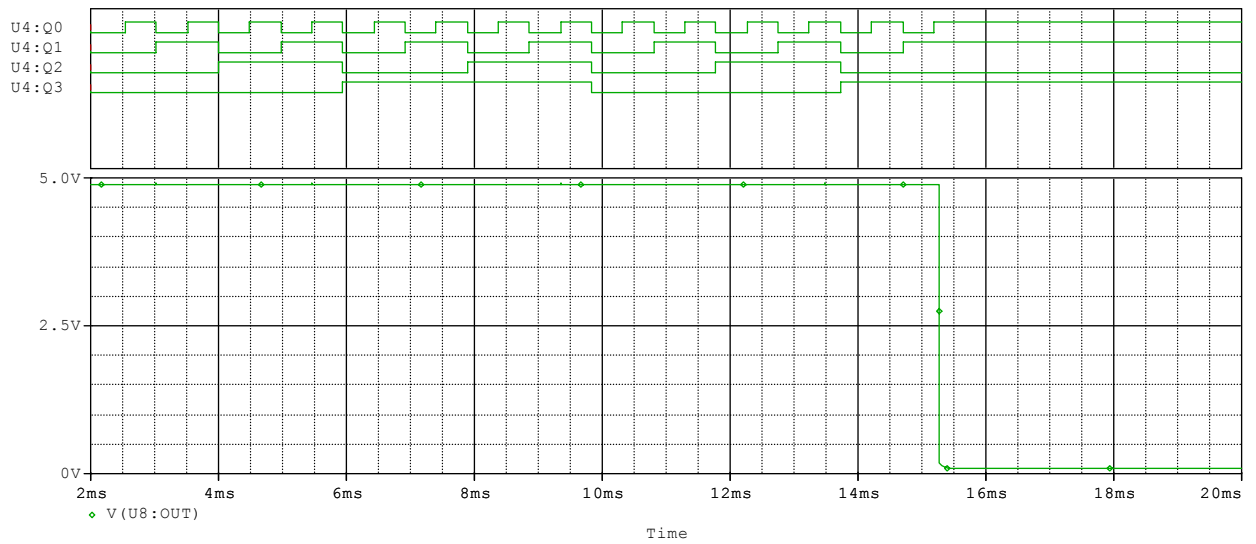
$V_a = 5V$



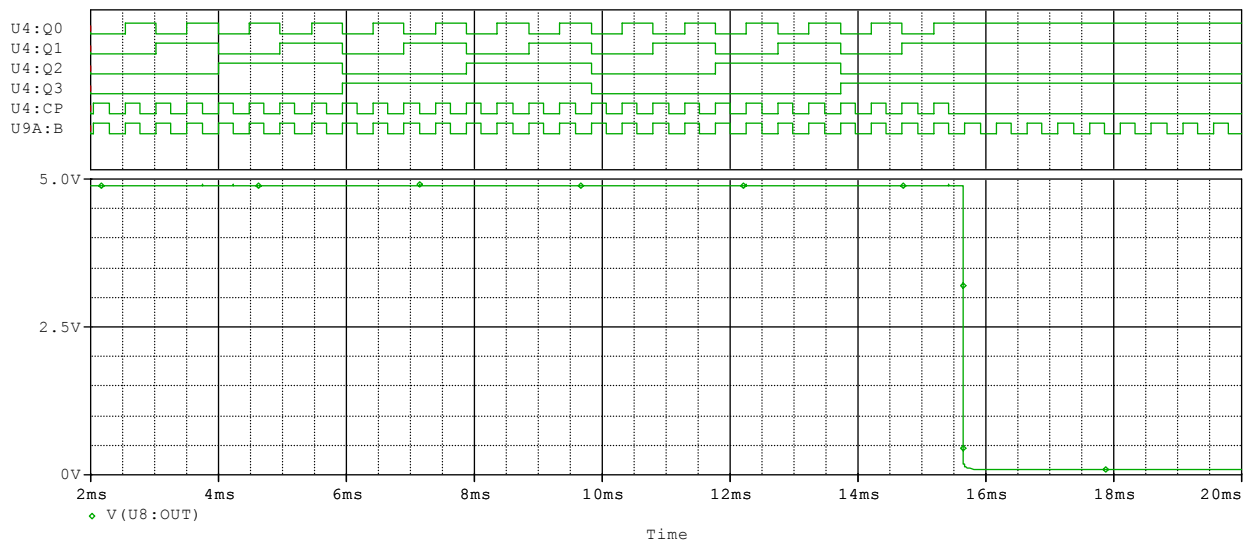
$V_a = 5.4V$



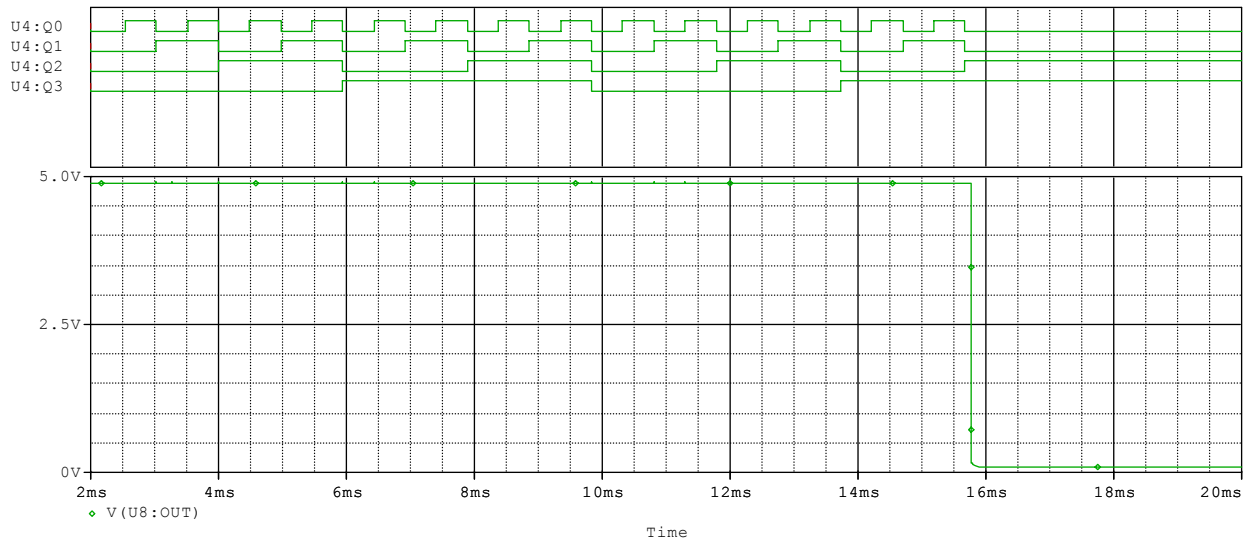
$V_a = 5.5V$



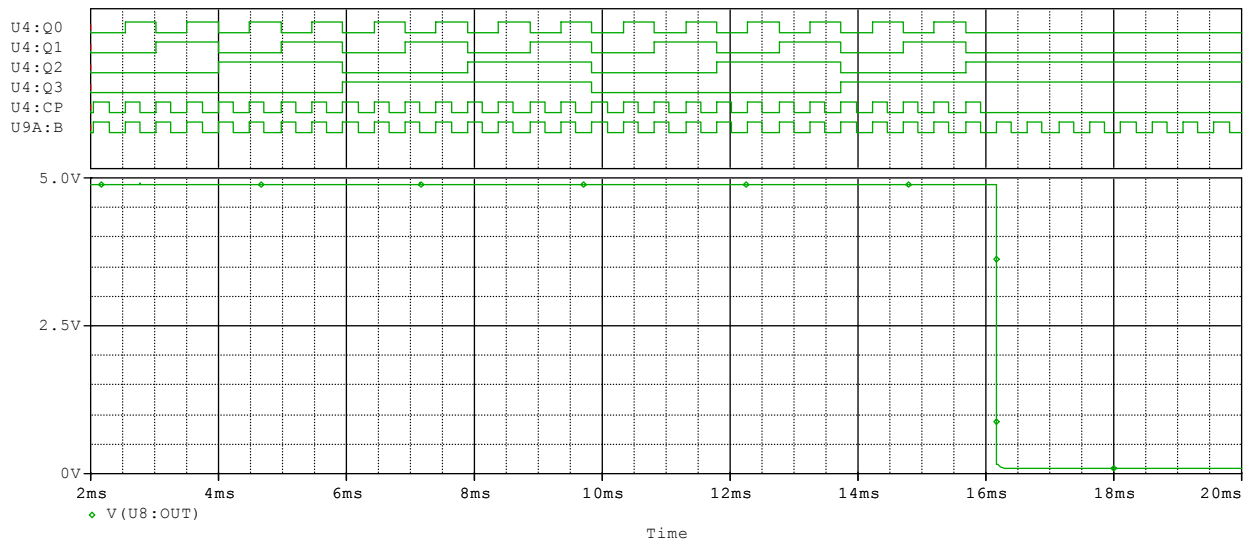
$V_a = 5.9V$



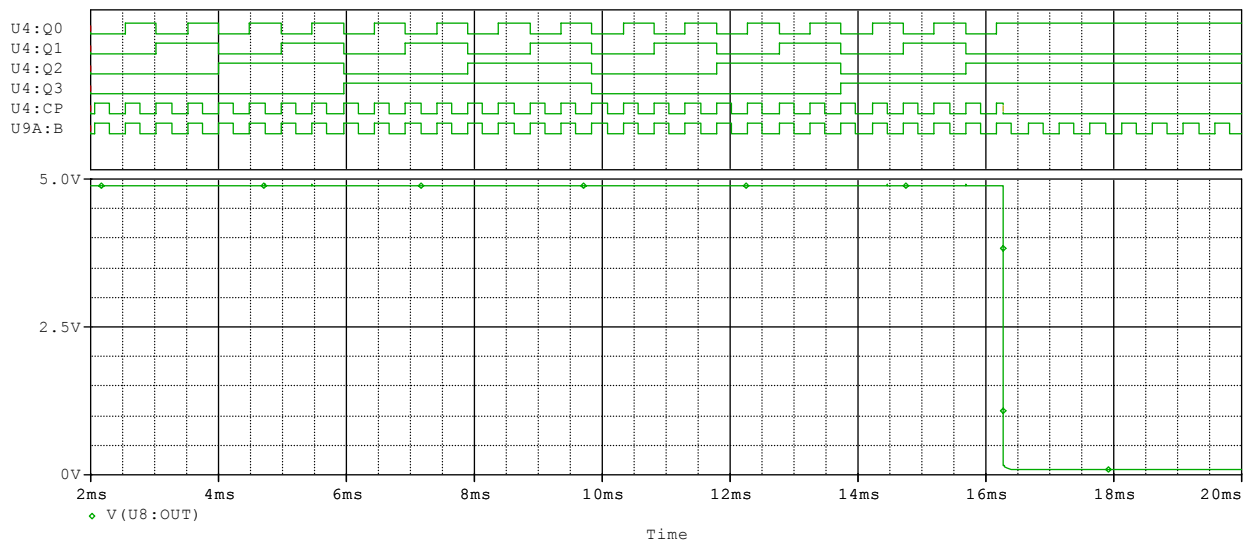
$V_a = 6V$



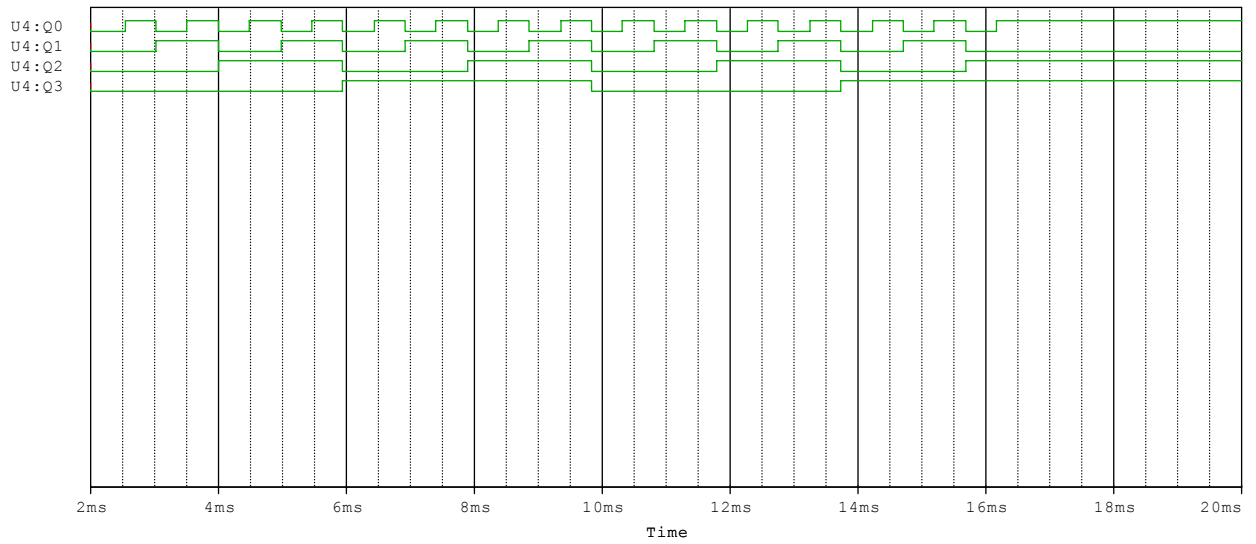
$V_a = 6.4V$



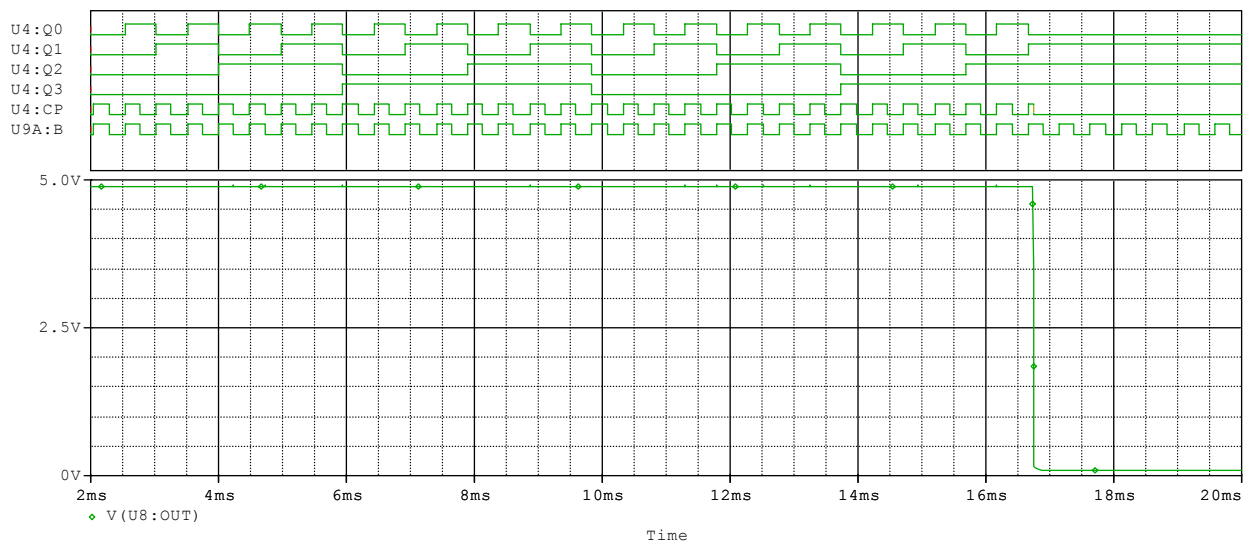
$V_a = 6.5V$



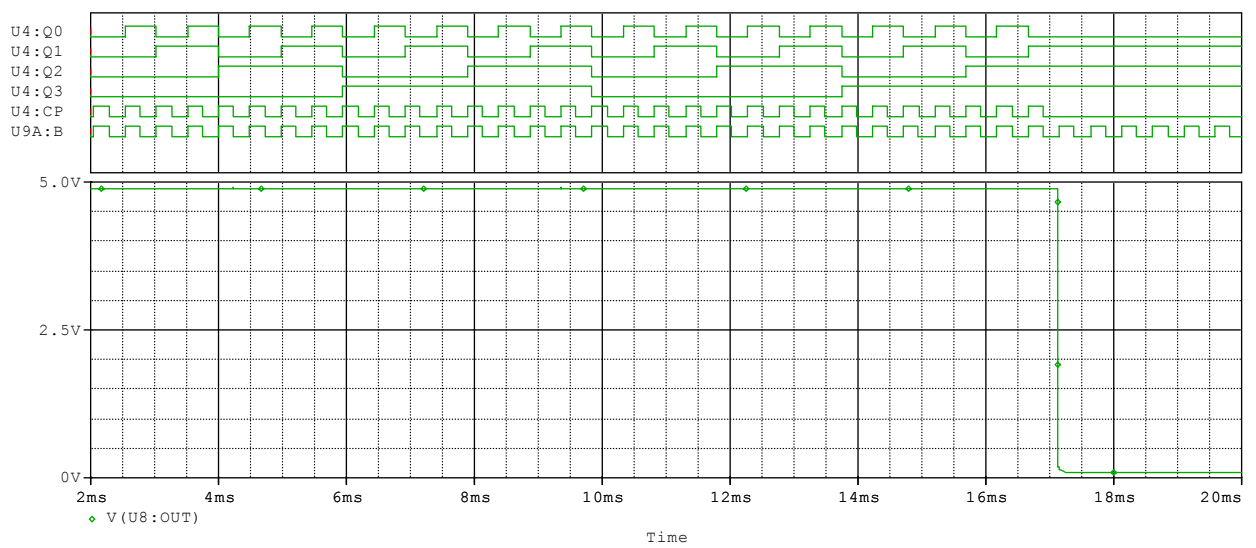
$V_a = 6.9V$



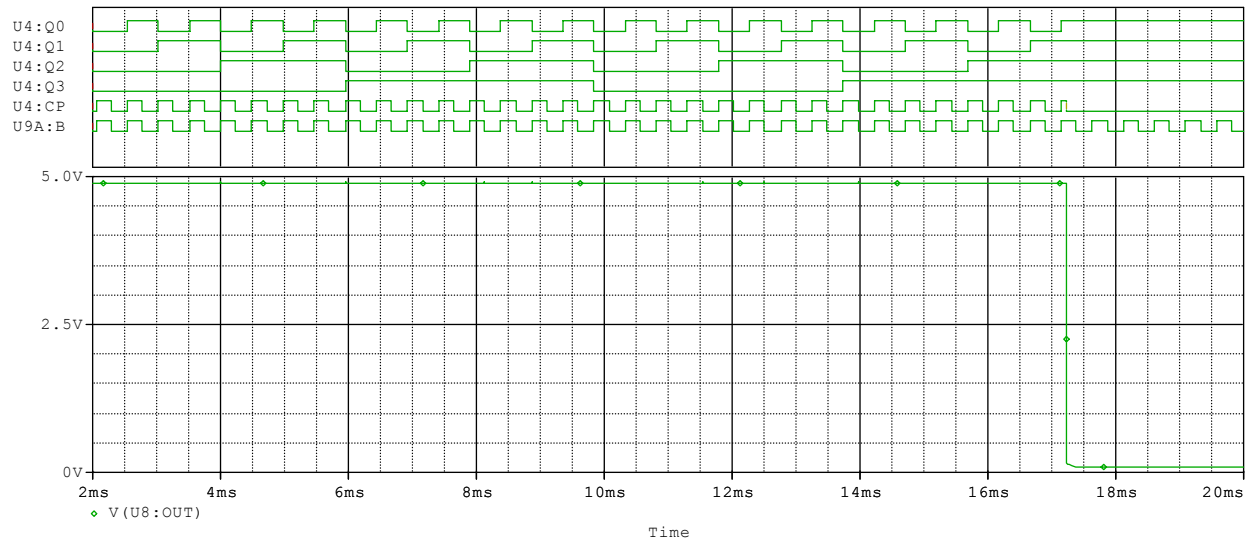
$V_a = 7V$



$V_a = 7.4V$



$V_a = 7.5V$



$V_a = 7.9V$

