

**Università degli studi di Lecce**

**Corso di elettronica analogica 2**

Progetto di un  
amplificatore a guadagno controllato

Studente: Rescio Gabriele

# ACG

(amplificatore a guadagno variabile per segnali a radio frequenza)

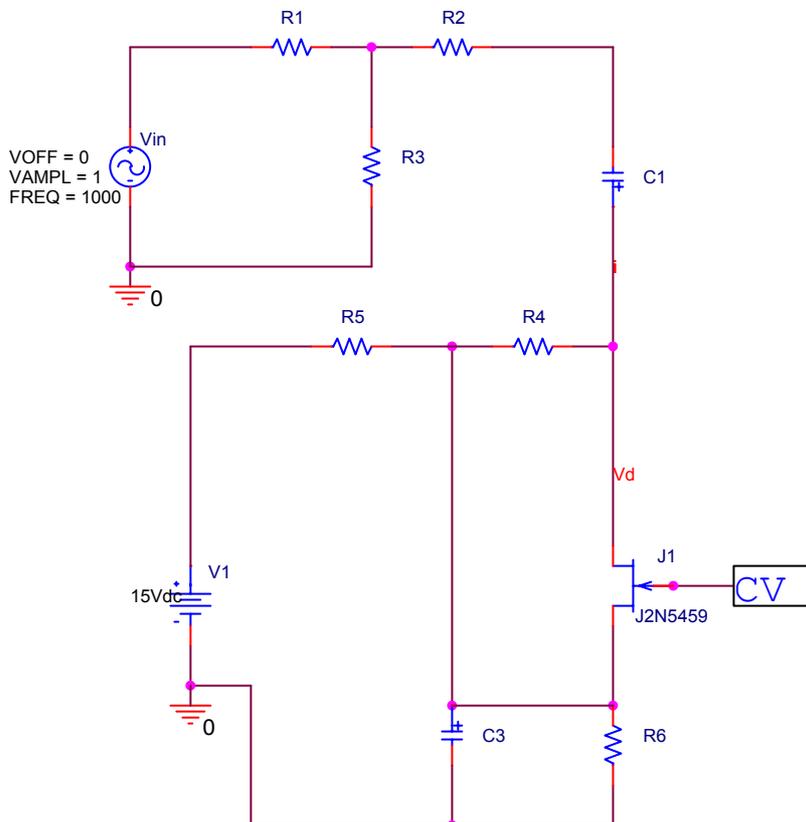
Le apparecchiature audio non accettano la gamma dinamica degli strumenti musicali e si può così generare distorsione e saturazione. Per evitare ciò si usano compressori/limitatori. Sia i compressori che i limitatori svolgono la stessa funzione ma i limitatori limitano brutalmente il segnale audio sopra la soglia stabilita, mentre il compressore gestisce il segnale in modo più graduale. Se un segnale audio supera la soglia stabilita il limitatore la taglia brutalmente; anche il compressore limita il segnale ma lo riduce gradualmente in proporzione a quanto esso superi la soglia stabilita. Per fare ciò si utilizza un circuito che controlla il segnale in tempo reale, chiamato ACG (Automatic Gain Control = controllo automatico del guadagno).

L' ACG presentato è un amplificatore a guadagno controllato per segnali a radio frequenza. Esso monitorizza il segnale e regola dinamicamente lo stadio d'ingresso, in relazione al livello del segnale entrante. È un sistema di sicurezza per evitare sovraccarichi e distorsioni. È un ACG veloce; infatti il suo tempo di salita è di circa 5ms e può essere posizionato, per esempio, prima di un convertitore A/D nella catena audio.

È costituito da tre parti: un amplificatore, un'impedenza controllata in tensione e un raddrizzatore.

Quindi questo dispositivo controlla la tensione in uscita, variando il suo guadagno, che può arrivare massimo a 16 dB, al variare del segnale in ingresso in modo da diminuirne la dinamica e renderlo stabile.

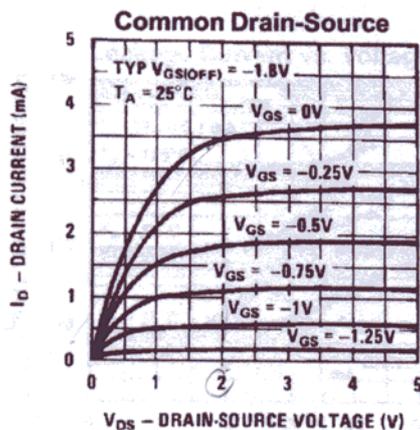
Iniziamo l'analisi del progetto esaminando la parte che costituisce l'impedenza che va in ingresso all'amplificatore operazionale(vedi fig. sotto) :



questo stadio attenuatore è caratterizzato dalla presenza di un JFET che lavora in regione lineare e si comporta, perciò, come una resistenza. Che il fet lavori in regione di triodo e' garantito dalla tensione di controllo CV che si occupa dell'accensione dello stesso e dal circuito costituito dal generatore di tensione V1 e le resistenze R4, R5, R6.

Il Jfet si comporta come un potenziometro la cui resistenza diminuisce all'aumentare della tensione di controllo che, è la tensione di gate ( $V_g$ ) dello stesso. Infatti, osservando la caratteristica della corrente di drain ( $I_d$ ) che e' presente sui data sheet del jfet utilizzato (vedi fig. sotto) in funzione della tensione drain-source ( $V_{ds}$ ), vediamo che prima che il Jfet saturi la caratteristica ha un andamento pressochè lineare e la sua pendenza, che rappresenta la conduttanza, aumenta all'aumentare di  $V_g$  ( $V_s$  e' fisso). Ricordando, infine, che la resistenza del fet e' l'inverso

della conduttanza, possiamo affermare così che la  $R_{fet}$  diminuisce all'aumentare di  $V_g$ .



Questo può essere dimostrato anche analiticamente.

Infatti, se il jfet lavora in regione di triodo, la corrente di drain è data da:

$$I_D = I_{DSS} [2(1 - V_{GS}/V_P)(-V_{DS}/V_P) - (V_{DS}/V_P)^2]$$

Inoltre:

$$R_{fet} = dV_{DS}/dI_D = 1/2 [I_{DSS}(1 - V_{GS}/V_P)(1/V_P)]$$

La  $V_{GS}$  nel circuito è sempre negativa, come del resto la tensione di pinch-off del Jfet che è a canale n e  $V_{GS} > V_P$  affinché jfet acceso.

Di conseguenza all'aumentare di  $V_{GS}$  aumenta il fattore  $(1 - V_{GS}/V_P)$  e diminuisce la resistenza  $R_{fet}$ .

Il termine  $(V_{DS}/V_P)^2$  lo abbiamo trascurato perché piccolo.  $V_P$  è la tensione di soglia del Jfet (comunemente detta tensione di pinch-off) e  $I_{DSS}$  è la corrente di drain all'inizio della saturazione per  $V_{GS}=0$ .

I condensatori  $C_3$  e  $C_5$  eliminano l'influenza della tensione continua comportandosi cioè alle basse frequenze come dei circuiti aperti (l'impedenza dei condensatori  $Z=1/j\omega C$  va ad infinito per  $\omega$  che tende a zero). Inoltre questi devono avere capacità piuttosto grandi, perché alle frequenze su cui lavora il dispositivo abbiano impedenza pressoché nulla.

Per dimensionare il circuito che mantiene il fet in regione lineare dobbiamo ricordare che affinché questo accada, il fet deve essere acceso :

$$V_p < V_{gs} \leq 0$$

e deve essere rispettata la condizione:

$$V_{ds} \leq V_{gs} - V_p.$$

L'accensione del Jfet come vedremo dipenderà dall'ampiezza del segnale di ingresso.

Nel calcolare il fattore di attenuazione dobbiamo considerare due situazioni:

se il jfet è spento il guadagno sarà:

$$V_{in1}/V_{in} = R_3/(R_3 + R_1)$$

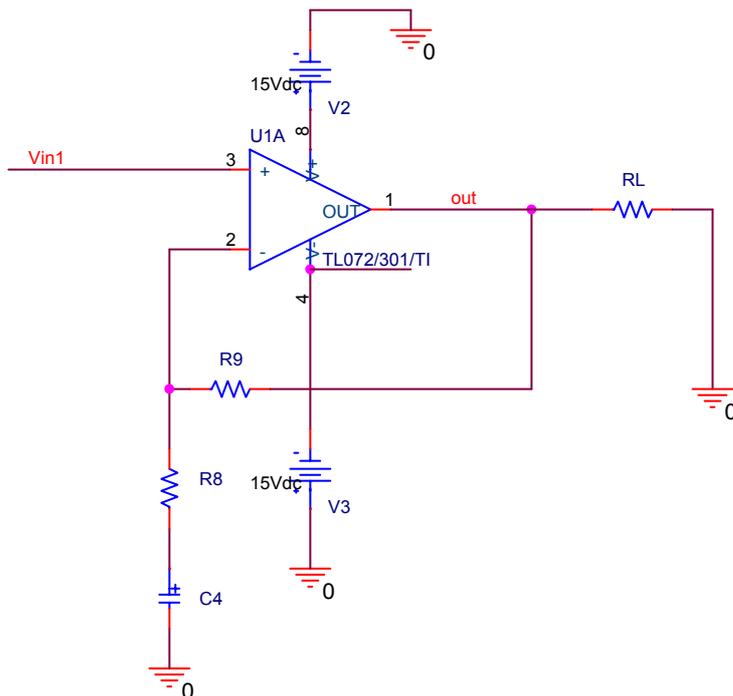
Se è acceso:

$$V_{in1}/V_{in} = [R_3/(R_3 + R_1)] * [R_{fet}/(R_{fet} + R_2)]$$

Nelle funzioni di trasferimento non compaiono le resistenze  $R_4$ ,  $R_5$ , ed  $R_6$  perché queste non hanno il compito di attenuare ma solo di mantenere il Jfet in zona lineare. In effetti i condensatori  $C_1$  e  $C_3$  sono piuttosto grandi e alle frequenze audio possono considerarsi dei cortocircuiti. Ciò fa sì che  $R_6$  e  $R_5$  siano in parallelo ad un cortocircuito e si possano considerare nulle; inoltre daremo un valore molto grande ad  $R_4$ , in modo tale da renderla trascurabile sia rispetto a  $R_{fet}$  con cui è in parallelo quando il fet è attivo, che a  $R_2 + R_1 // R_3$  con cui è in parallelo quando il fet è spento (ricordiamo che se due resistenze sono in parallelo prevale quella con impedenza minore).

Vediamo che, come ci aspettavamo, l'attenuazione aumenta quando il Jfet è acceso, in quanto  $R_{fet}$  diminuisce e anche il termine  $[R_{fet}/(R_{fet} + R_2)]$ .

Passiamo ora alla seconda parte del circuito: l'amplificatore vero e proprio. Questo provvede al guadagno del circuito. L'amplificazione e' ottenuta tramite un amplificatore operazionale in configurazione non invertente. (ved fig. sotto)



La sua funzione di trasferimento è

$$V_{out}/V_{in1} = 1 + R9/R8$$

Il suo guadagno quindi :

$$V_{out}/V_{in1} = 1 + R9/R8$$

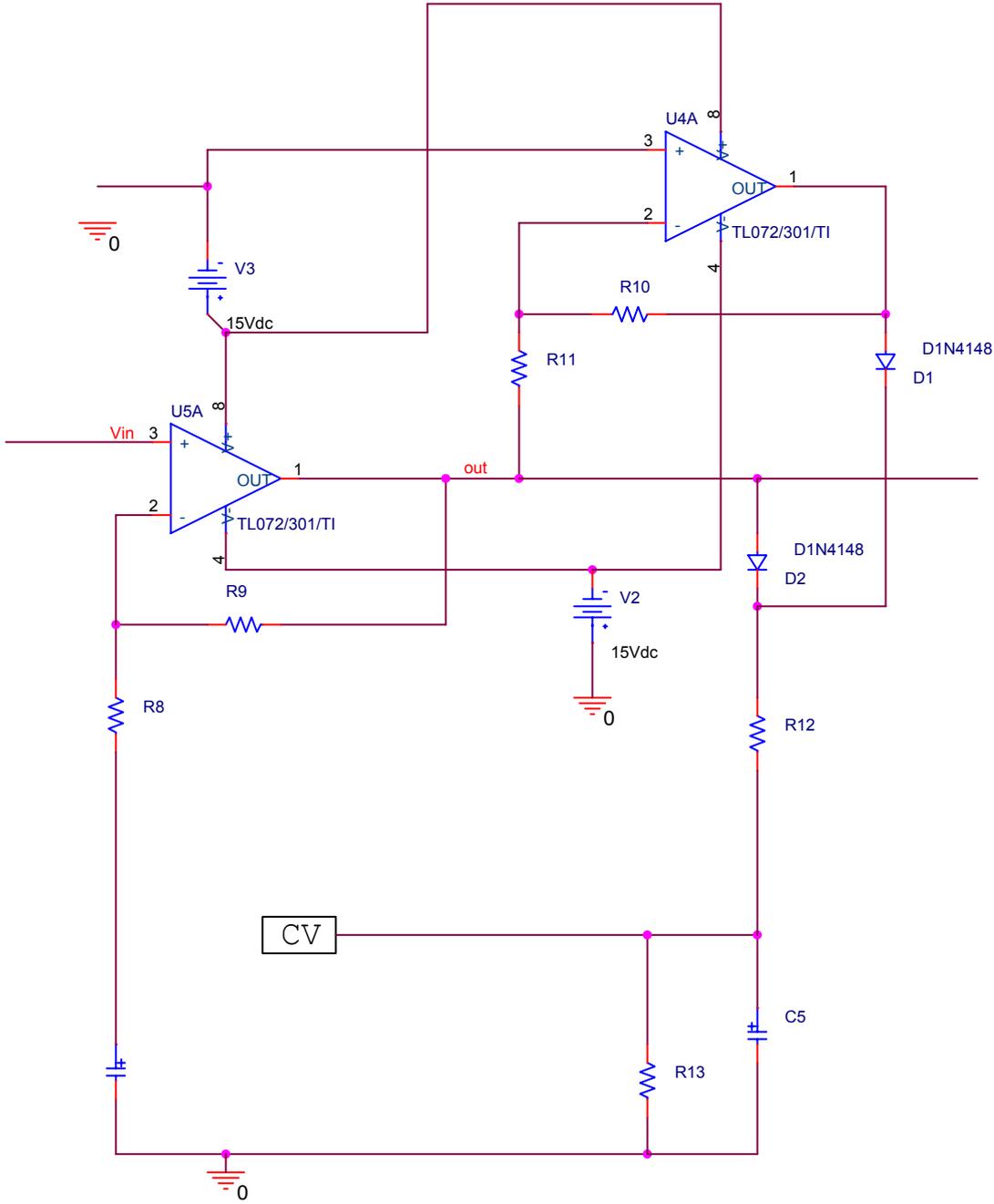
Anche C4 (come C3 e C1) elimina l'influenza della continua.

Il segnale in ingresso sarà attenuato di un fattore:  $[R3/(R3+R1)] * [R_{fet}/(R_{fet}+R2)]$  e amplificato di un fattore:  $1 + R9/R8$ .

e il guadagno variabile è dato dal potenziometro  $R_{fet}$ .

Per definire la dinamica in uscita dobbiamo lavorare su questi termini, che ci daranno la variazione di guadagno di uscita.

L'amplificatore appena descritto fa anche parte del circuito raddrizzatore a doppia semionda che vi e' nel dispositivo(vedi fig. sotto).



Questa parte del progetto e' importante; infatti ci da' la tensione di controllo del Jfet. Descriviamo il funzionamento:

in uscita al primo amplificatore operazionale abbiamo la tensione di ingresso, che è stata prima attenuata e poi amplificata e che chiamiamo  $V_{out}$ .

Il secondo operazionale lo poniamo in configurazione invertente e a guadagno unitario, in tal modo la sua uscita sarà l'inverso di quella del primo operazionale:  $V_{out2} = -V_{out}$

$V_{out}$  e  $V_{out2}$  accendono e spengono i diodi  $D1$  e  $D2$  che essendo uguali avranno la stessa tensione di soglia ( $V_d = V_{d1} = V_{d2}$ ). In particolare:

se  $V_{out} > V_d$  il diodo  $D2$  è acceso e passa corrente su  $R12$ , mentre  $D1$  è spento, perché ricordiamo  $V_{out2} = -V_{out}$ .

Se  $V_{out} < -V_d$  il diodo  $D2$  è spento ma  $V_{out2} = -V_{out} > V_d$  perciò  $D1$  è acceso e tramite questo passa corrente su  $R12$ .

In questo modo ai capi di  $R12$  abbiamo solo semionde positive che vanno a caricare il condensatore  $C5$ , con una costante di tempo data da  $R12 \cdot C5$ , che poi definiremo, dando un valore di tensione in continua.

Questa è la tensione di gate del Jfet ed è quindi la tensione di controllo del guadagno.  $R13$  determina insieme a  $C5$  il tempo di scarica del condensatore.

La tensione di controllo (CV) è un aspetto fondamentale di questo progetto; essa determina l'accensione del Jfet che funziona come resistenza e che porta ad attenuare il segnale di ingresso di un fattore:  $(1 + R2/R_{fet})$ .

Questo sistema monitorizza il segnale e regola dinamicamente lo stadio d'ingresso in relazione al livello del segnale entrante attenuando o amplificando automaticamente e dinamicamente il segnale quando questo cambia, limitandone la dinamica in uscita.

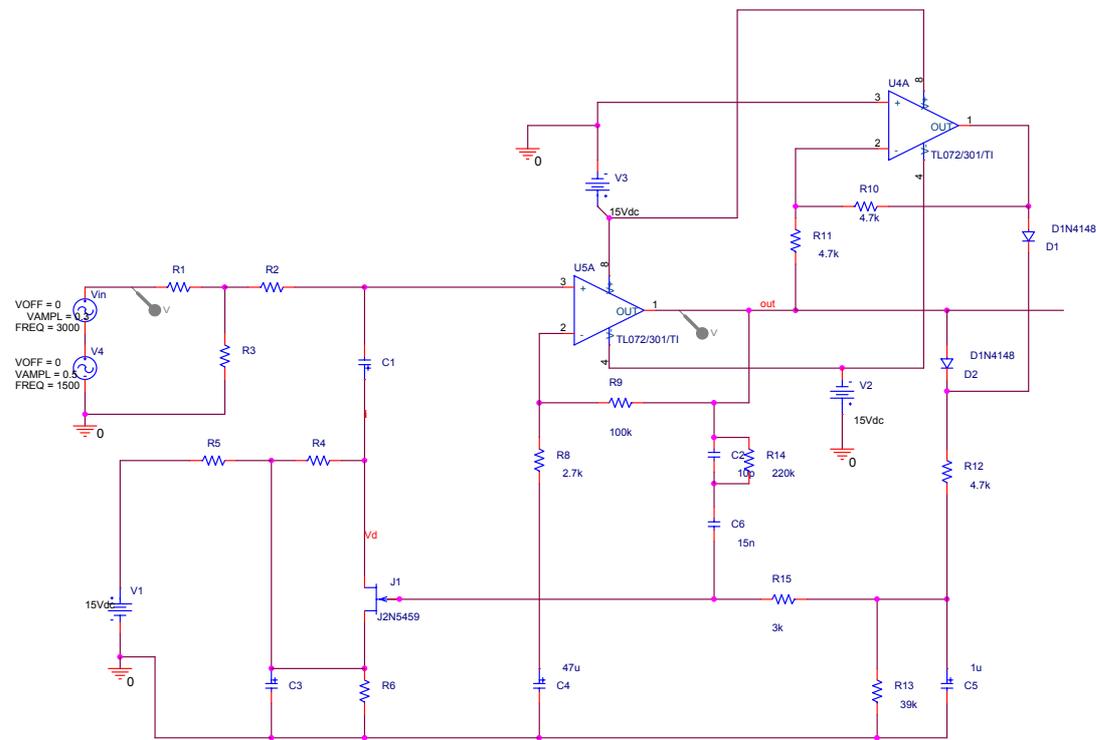
La resistenza  $R12$  e la capacità  $C5$  determinano l' "attack time" dell'AGC, mentre  $R13$  e  $C5$  determinano il "release time" dello stesso.

Questi sono due parametri importanti del dispositivo. Con il valore di attacco si stabilisce quanto velocemente la circuiteria debba reagire ai cambiamenti nel livello del segnale d'ingresso, cioè regola la quantità di tempo che passa prima che il compressore abbassi il livello di uscita, quando il segnale d'ingresso supera il punto di soglia. Più lungo viene settato il tempo d'attacco, più parte della dinamica del segnale originale viene lasciata inalterata, prima che l'uscita si stabilizzi sul suo

nuovo valore. Quindi con tempi d'attacco piu' lenti, si ottiene un suono piu' omogeneo, che tende a mantenere le caratteristiche dinamiche del segnale originale. Ma, in compenso, il compressore non reagira' molto rapidamente a cambi di livello subitanei: per esempio un tempo di attacco piu' lungo su una cassa di batteria conserva una parte del suono iniziale tipico di questo strumento e percio' scegliere un tempo piu' lungo puo' rendere un suono più naturale. Invece per strumenti caratterizzati da transienti molto veloci come percussioni, battiti di mani è meglio usare un tempo di attacco basso. Un tempo cortissimo è invece necessario quando si vogliono evitare forti picchi che possono danneggiare l'impianto. Di solito il tempo di attacco e' compreso tra 0,1 ms e 200 ms.

Il tempo di rilascio, invece, stabilisce di quanto tempo ha bisogno il compressore per tornare al guadagno che aveva l'amplificatore prima che si attivasse l'attenuatore variabile ( cioè il Jfet), quando il segnale scende sotto la soglia stabilita. Quindi determina quanto impiega il compressore ad interrompere la propria azione. Con tempi di rilascio brevi, il compressore riproduce ogni minima variazione nel livello di ingresso; il che puo' produrre un effetto irregolare di ondulazione. Tempi di rilascio piu' lunghi mantengono maggiormente le caratteristiche della dinamica del segnale originale. Un tempo di rilascio molto lungo puo' essere utilizzato come effetto per degli strumenti musicali. Il tempo di release e' compreso di solito tra 50 ms e 5 secondi. Il tempo di attacco e rilascio sono dovuti al tempo di carica e scarica del condensatore C5 che portano la tensione di controllo del jfet al valore necessario per accendere e spegnere il Jfet. Quindi per rendere piu' versatile il dispositivo potremmo sostituire R12 e R13 con due potenziometri che permetterebbero di impostare il tempo di attacco e di rilascio in base all'uso che si vuole fare del progetto.

Vediamo il progetto nell'insieme:



Title		
<Title>		
Size	Document Number	Rev
A4	<Doc>	<RevCode>
Date:	Thursday, March 11, 2004	Sheet 1 of 1

La parte del circuito costituito da R14, R15, C2 e C6 è un filtro e serve per diminuire la distorsione del segnale.

Iniziamo a dimensionarlo.

Fissiamo guadagno massimo del nostro dispositivo uguale a 16 dB: questo lo abbiamo quando il fet e' spento e il nostro guadagno sarà dato da:

$$V_{out}/V_{in} = ([R3/(R3+R1)])_{dB} + (1+R9/R8)_{dB} = 16dB$$

Inoltre vogliamo che il Jfet entri in funzione quando l'uscita raggiunge 850mV imponendo, così' la soglia a questo valore di uscita.

Impostiamo il nostro attack time a circa 5ms in modo da rendere il nostro AGC abbastanza veloce. Esso corrisponde alla costante di carica

del condensatore, che è  $R12 * C5$ , perciò agiamo su  $R12$  e  $C5$  assegnando  $R12= 4.7 \text{ K}\Omega$  e  $C5= 1\mu\text{F}$ .

Ai capi del condensatore dopo circa 5ms avremo una tensione circa pari a  $V_{out}-V_d$  (la caduta di tensione ai capi di  $R12$  è piccola come dimostreremo tramite il simulatore PSpice). Questa ricordiamo è la tensione di gate del Jfet; perciò è la tensione che controlla il guadagno accendendo il fet facendone variare la resistenza in proporzione alla sua  $V_g$  e, quindi, a quanto la tensione in uscita ha superato il livello di soglia.

Imponiamo che il fet incominci ad attenuare quando in uscita abbiamo una  $V_{out}=850\text{mV}$ . In questa situazione, dopo che è passato il transitorio del condensatore  $C5$  la tensione  $V_g$  è circa 350mv (la  $V_d$  del diodo che abbiamo utilizzato è 500mV). Vogliamo quindi che il fet si accenda; affinché avvenga ciò deve verificarsi:

$$V_{gs} > V_p$$

Cioè  $V_s < V_g - V_p$ ; poiché la nostra  $V_g$  è 350mV, mentre  $V_p = -4,473\text{V}$ , allora :  $V_s < 4,823$ .

Conoscendo ora quale valore deve avere la tensione di Source del Jfet possiamo dimensionare la parte del circuito che si occupa di far lavorare il jfet in zona di triodo. Infatti abbiamo:

$$V_s = (R_6 / (R_6 + R_5)) * 15\text{V}$$

Quindi considerando  $V_s = 4,8\text{V}$ , possiamo ricavare  $R_5$  e  $R_6$ . Per esempio possiamo porre  $R_6 = 4,7\text{k}\Omega$  e  $R_5 = 10\text{k}\Omega$ .

Per stare in regione di triodo dobbiamo imporre:

$$V_{ds} \leq V_{gs} - V_p$$

perciò facciamo in modo che  $V_d$  sia circa uguale a  $V_s$  (per avere  $V_{ds}$  circa uguale a zero; anche perché in questo modo la condizione precedente coincide con quella di accensione del fet). Per ottenere ciò basta utilizzare una resistenza  $R_4$  molto grande così da impedire il passaggio della corrente che sappiamo tende a scorrere nel ramo in cui incontra meno impedenza, così la tensione di drain sarà uguale a quella di source; poniamo  $R_4 = 1000\text{k}\Omega$ .

Abbiamo utilizzato un alimentatore di 15 V per alimentare il circuito appena descritto in accordo alle alimentazioni utilizzate per gli amplificatori operazionali.

Occupiamoci ora di dimensionare lo stadio di guadagno e di attenuazione.

Innanzitutto ricordiamo che vogliamo che il guadagno massimo sia 16 dB e che questo lo abbiamo quando il fet è spento.

Quindi utilizzando la relazione per ricavare il guadagno quando non agisce il fet:

$$V_{out}/V_{in} = ([R3/(R3+R1)])_{dB} + (1+R9/R8)_{dB} = 16dB$$

Possiamo ricavarci R3, R1, R9, R8; Si può accertare che la precedente equazione è verificata per esempio se si attribuiscono alle resistenze i seguenti valori: R1=10kΩ, R9=100kΩ, R3=2.2kΩ, R8=2.7kΩ.

Esaminiamo ora i valori approssimati, con buona approssimazione, che assume la resistenza dovuta al jfet. Come detto prima essa varia al variare della tensione di gate. Riprendiamo la formula tramite la quale possiamo ottenere i valori della R<sub>fet</sub>:

$$R_{fet} = dV_{ds}/dI_d = 1/2 [I_{dss}(1 - V_{gs}/V_p)(1/-V_p)]$$

Ora ricordiamo che la V<sub>s</sub> imposta era uguale a 4,8V, mentre il valore minimo che deve assumere la V<sub>g</sub>, affinché il fet sia acceso, è 350mV (lo abbiamo precedentemente calcolato). Questo aumenta in proporzione all'aumento di V<sub>out</sub> e cioè all'aumento del segnale di ingresso. Inoltre V<sub>p</sub> e I<sub>d</sub> sono noti e si possono ricavare dai data sheet del Jfet utilizzato (quello del progetto presentato è un 2N5459). Servendomi di Excel ho realizzato una piccola tabella in cui ho dimostrato in che modo varia R<sub>fet</sub>: ho inserito la formula scritta sopra dando a I<sub>dss</sub> il valore di corrente tipico che si trova sui data sheet e ho fatto variare V<sub>g</sub>, aumentandolo di 10mV, 50mV e 100mV in ogni passo; è evidente come R<sub>fet</sub> diminuisca (vedi tabella sotto):

Vgs [V]	Rfet [ $\Omega$ ]
-4,45	48327,8
-4,44	33683,0
-4,43	25849,8
-4,42	20972,5
-4,41	17643,5
-4,4	15226,6
-4,35	9036,9
-4,3	6425,1
-4,2	4071,6
-4,1	2980,0
-3,9	1939,9
-3,8	1651,6
-3,7	1438,0
-3,6	1273,2
-3,1	809,6

Quando si accende il Jfet il segnale in ingresso viene attenuato, come visto precedentemente , di un fattore:

$$R_{fet}/(R_{fet}+R_2)$$

Quindi il segnale d'ingresso si attenua al diminuire di Rfet. Bisogna inoltre considerare R2. Se per esempio in uscita abbiamo una tensione pari a 900 mV, questa supera di 50mV la soglia, quindi il Jfet deve attenuare di circa 6dB e si puo' verificare che, utilizzando una resistenza R2 di 40k $\Omega$ , si ottiene tale attenuazione quando Vout=900mV. Tramite Excel ho calcolato i vari valori di attenuazione dovuti al fattore sopra riportato al variare di Vg e quindi al variare di Rfet (vedi tab. sotto) :

Vgs [V]	Rfet [ $\Omega$ ]	Attenuazione [dB]
-4,45	48327,8	-5,14

-4,44	33683,0	-6,68
-4,43	25849,8	-7,99
-4,42	20972,5	-9,13
-4,41	17643,5	-10,13
-4,4	15226,6	-11,03
-4,35	9036,9	-14,51
-4,3	6425,1	-16,99
-4,2	4071,6	-20,49
-4,1	2980,0	-22,98
-3,9	1939,9	-26,49
-3,8	1651,6	-27,82
-3,7	1438,0	-28,98
-3,6	1273,2	-30,00
-3,1	809,6	-33,83

Consideriamo ora l'operazionale con guadagno unitario. Questo ha il compito di invertire le semionde negative che abbiamo in uscita per farle raddrizzare. Il suo guadagno è:

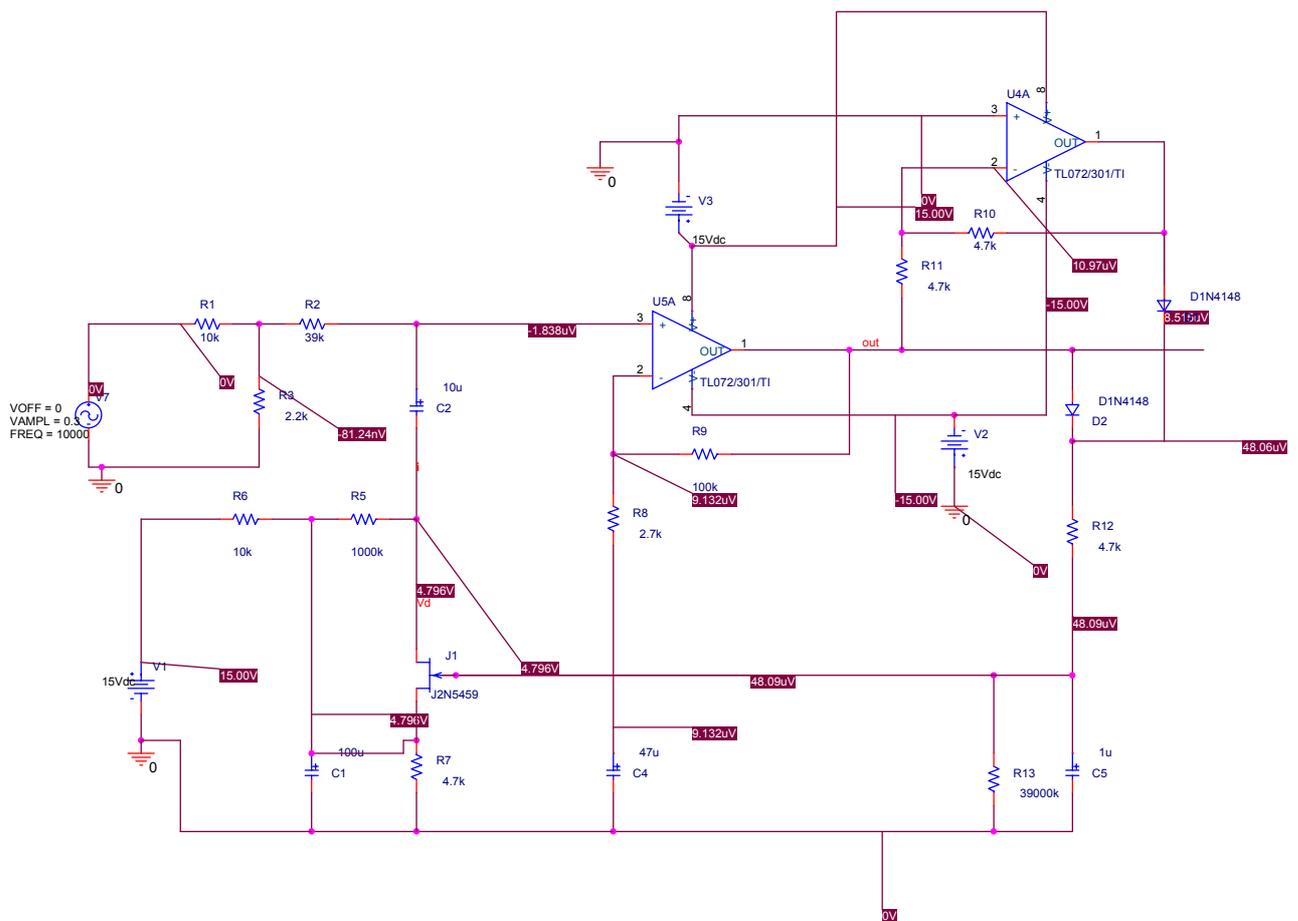
$$V_{out2}/V_{out1} = -R_{10}/R_{11}$$

Affinche' esso sia uguale ad 1 dobbiamo imporre :  $R_{10}=R_{11}$ . Poniamole uguali a  $4,7K\Omega$ .

Ci rimane da dimensionare solo i condensatori di disaccoppiamento, attribuiamo ad essi dei valori piuttosto grandi in modo tale che alle frequenze in cui stiamo lavorando abbiano impedenza pressochè nulla.

Ora per un'analisi piu' precisa del progetto e per una visione piu' completa possiamo fare qualche simulazione del dispositivo cosi' dimensionato tramite il simulatore Pspice.

Iniziamo con l'analisi del punto di lavoro. Tramite questa possiamo vedere la polarizzazione del circuito che fa lavorare il jFet in regione lineare; importante e' vedere che effettivamente  $V_d = V_s$  e che la  $V_s$  è molto vicina al valore da noi imposto:



Il segnale audio varia in ampiezza e quindi nella simulazione dovremmo utilizzare un generatore che produca un tale segnale. Però per capire meglio come agisce questo AGC, in ingresso ho utilizzato un generatore di segnale sinusoidale ad ampiezza e frequenza costante (Vsin in Pspice).

Ricordiamo che il dispositivo presentato ha un guadagno massimo di 16 dB ed una soglia di 850 mV. Se l'ampiezza del segnale in ingresso è tale che:

$$V_{out} = 16\text{dB} * V_{in} < 850\text{mV}$$

cioè una volta amplificato, non superi la soglia, il Jfet non deve essere attivato e l'AGC deve comportarsi come un normale amplificatore a guadagno costante, pari a 16dB. Per esempio possiamo impostare il segnale in ingresso con una ampiezza di 100 mV ed una frequenza che sia compresa tra le frequenze audio, per esempio 1khz.

Essendo 16dB uguale ad un fattore di guadagno pari a 6,8 ci aspetteremo in uscita una tensione circa uguale a  $V_{out} = 6,8 * 0,1 = 0.68V$ .

Facciamo partire la simulazione rilevando il valore prima in ingresso(vedi fig 1) e poi in uscita (vedi fig.2).

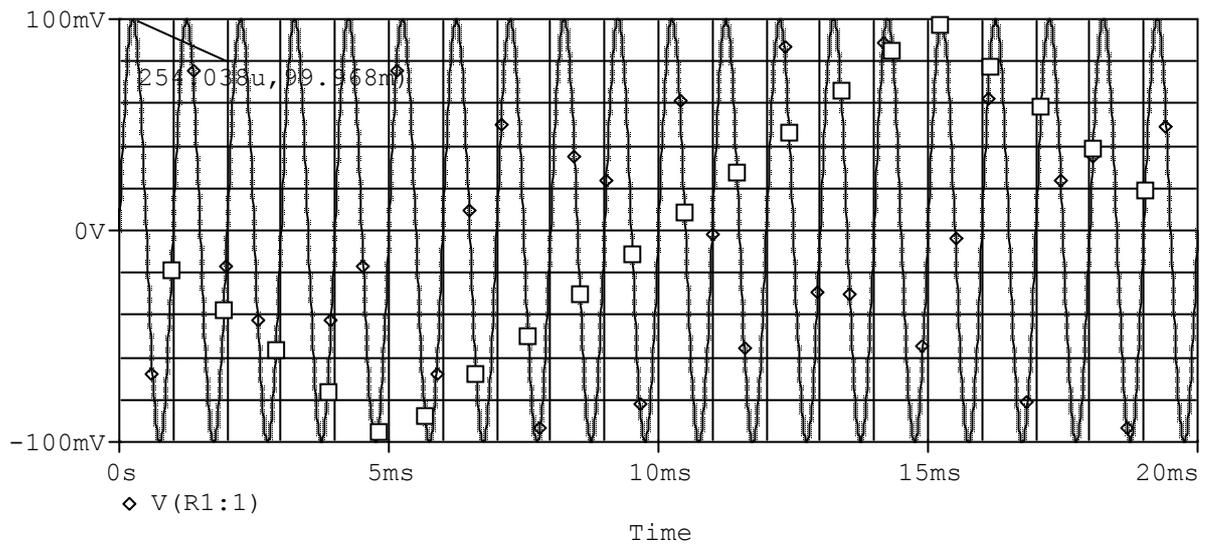


Fig. 1: segnale in ingresso al dispositivo di ampiezza 100 mV

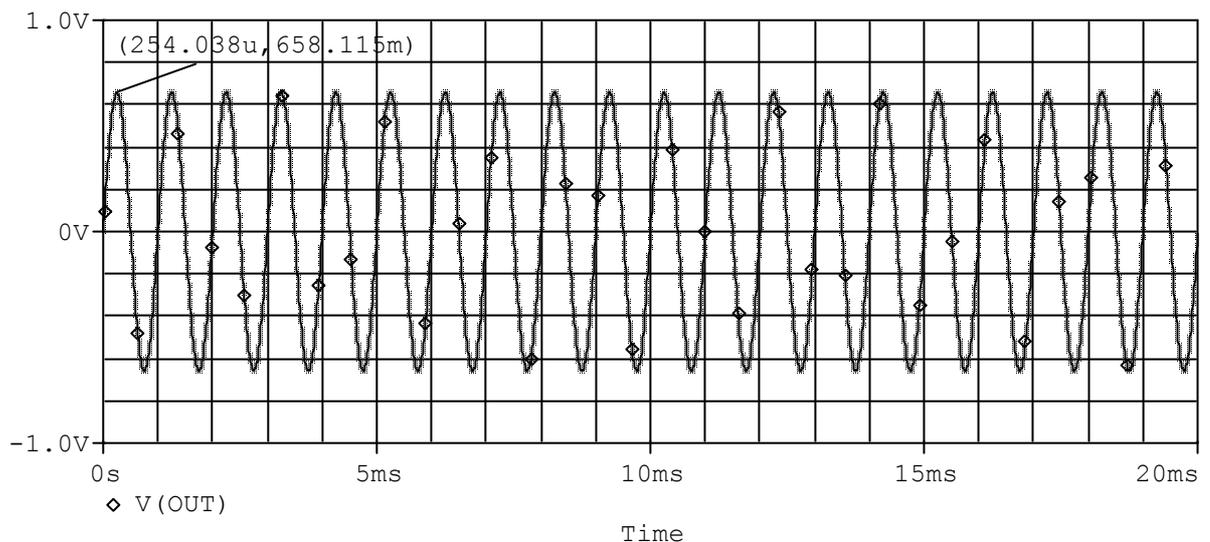


Fig.2: segnale in uscita quando l'ingresso ha una tensione pari a 100mV.

Quindi osservando i picchi di uscita vediamo che abbiamo ottenuto cio' che aspettavamo. Ci interessa sapere anche l'andamento della tensione

Vg e come lavora il Jfet. Per vedere come varia la tensione di controllo posizioniamo la sonda del simulatore sul gate del Jfet e facciamo partire la simulazione (vedi fig.3).

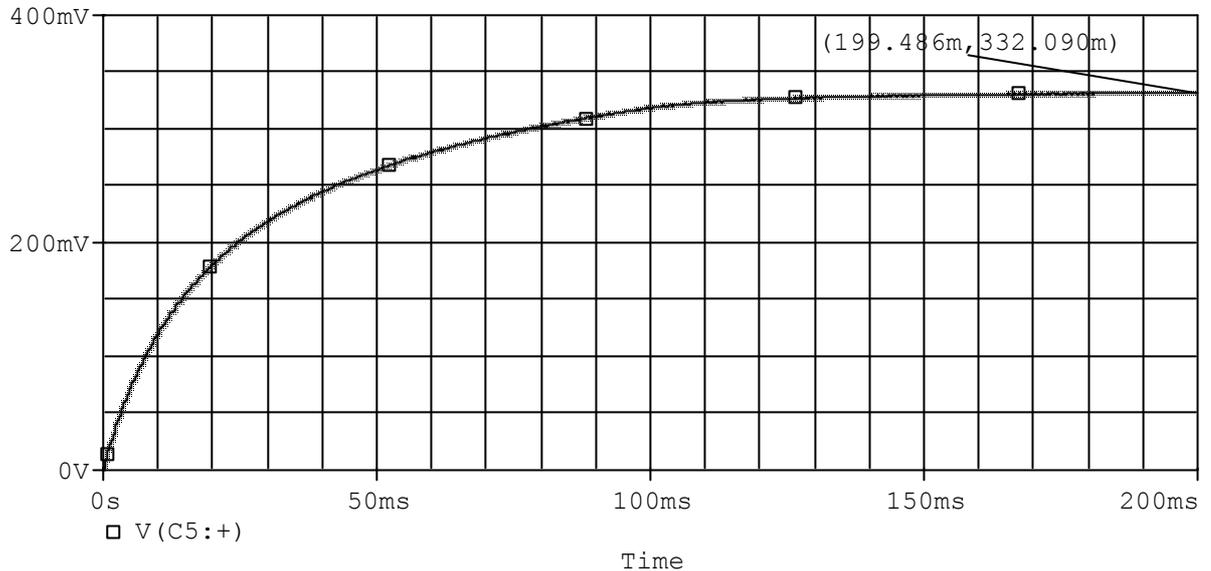


Fig.3: tensione di gate del Jfet.

Come si puo' vedere la tensione raggiunta è al di sotto di quella necessaria per accendere il Jfet e per verificarlo ricaviamo la caratteristica della corrente di drain del fet in funzione della Vds (vedi fig.4).

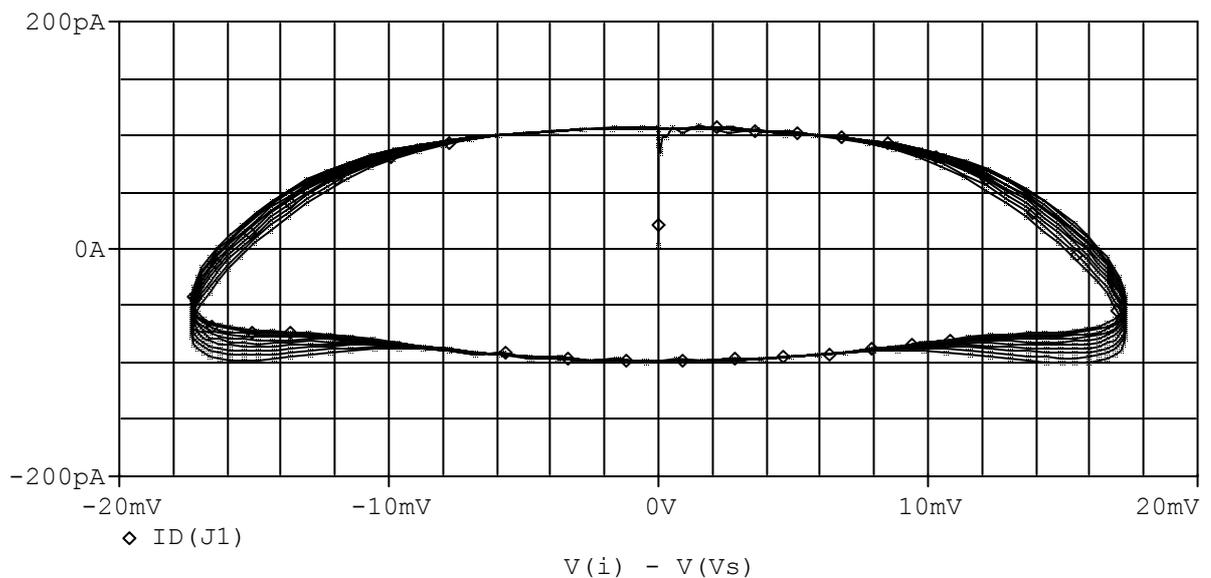


Fig.4: corrente di drain del Jfet in funzione della tensione Vds

La quantita' di corrente e' bassissima, si puo' considerare quindi il fet spento.

Risimuliamo ora introducendo un valore piu' alto di tensione in ingresso. Per esempio, utilizziamo un segnale di ampiezza 300 mV. Se non ci fosse il Jfet, la tensione in uscita in questo caso sarebbe circa uguale a :

$$V_{out} = 0.3 * 6.8 = 2.04V$$

Cioè ben piu' alta della soglia prestabilita. Quindi e' necessario che il fet attenui il segnale. Simuliamo prima la tensione di ingresso (vedi fig.5) e quella di uscita (vedi fig.6).

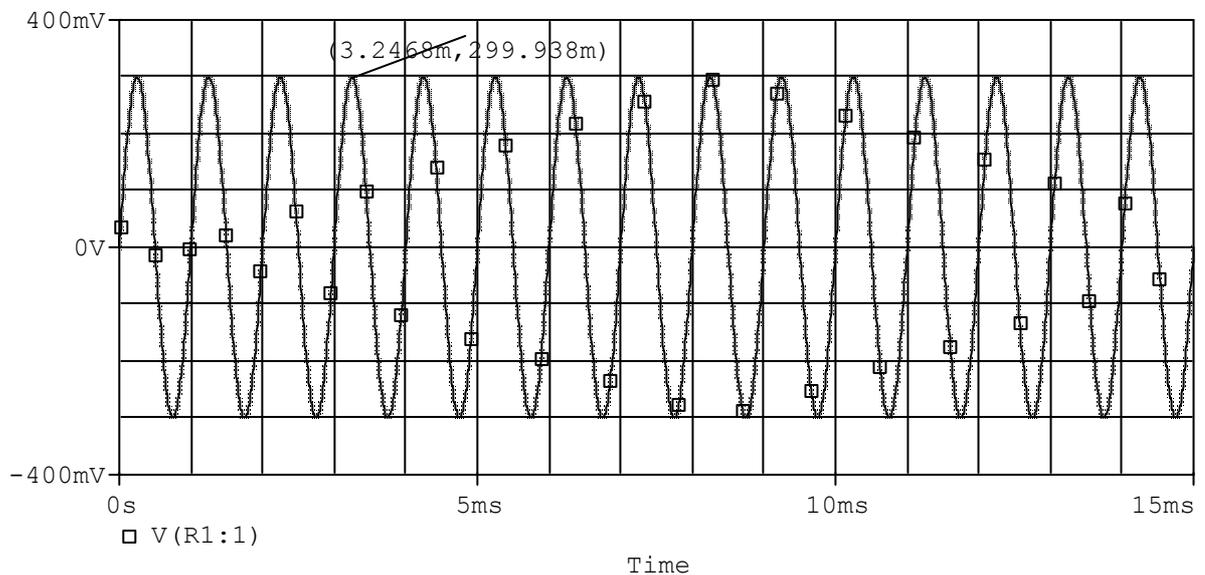


Fig.5: segnale in ingresso al dispositivo con ampiezza 300 mV.

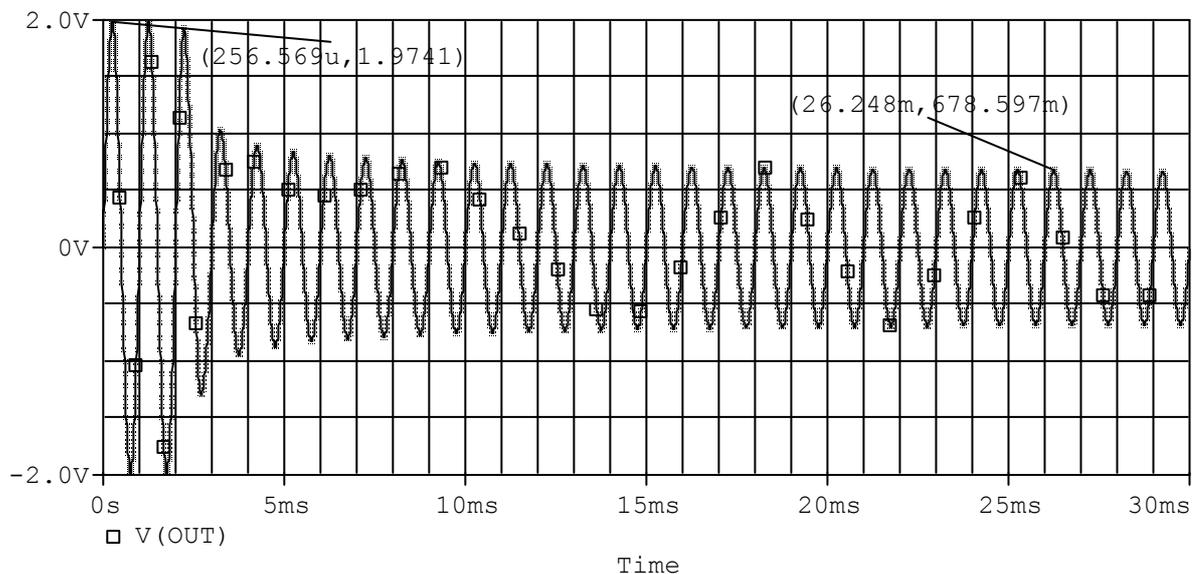


Fig.6: segnale in uscita quando tensione di ingresso è 300mV.

Vediamo che inizialmente l'uscita ha raggiunto la tensione che avrebbe avuto se non ci fosse stato il Jfet ma poi, man mano che il condensatore C5 si è caricato, il Jfet si è acceso ed ha attenuato il segnale portandolo sotto soglia. Simulando l'andamento della tensione di controllo, è evidente come abbia superato quella di soglia di accensione del fet (vedi fig.7).

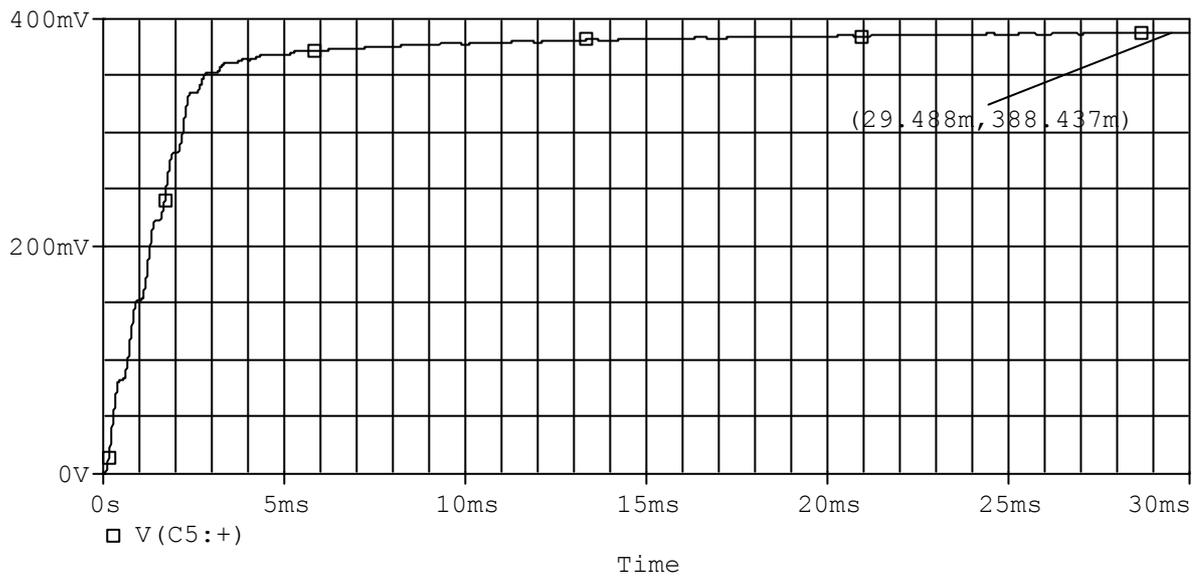


Fig.7:tensione di gate del fet.

Ricaviamo come prima la caratteristica della corrente di drain e dal grafico ottenuto (vedi fig.8a) possiamo vedere che il fet lavora in regione lineare. La pendenza della caratteristica varia finché non si assesta su un valore finale quando la sua tensione di gate si stabilizza.

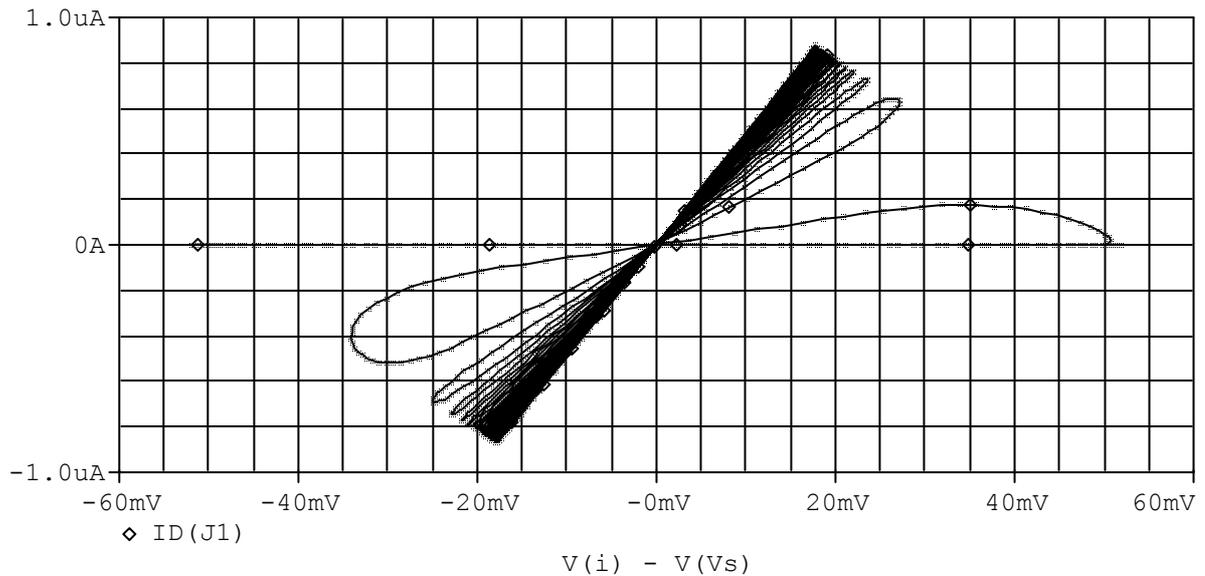


Fig.8a: andamento della corrente di drain del fet in funzione della Vds.

Utilizzando quest'ultima simulazione siamo in grado di ricavare la resistenza  $R_{fet}$  in modo abbastanza preciso. Simuliamo la caratteristica della corrente di drain quando ormai la tensione di  $V_g$  e' circa costante, dopo per esempio 30 ms (fig. 8b).

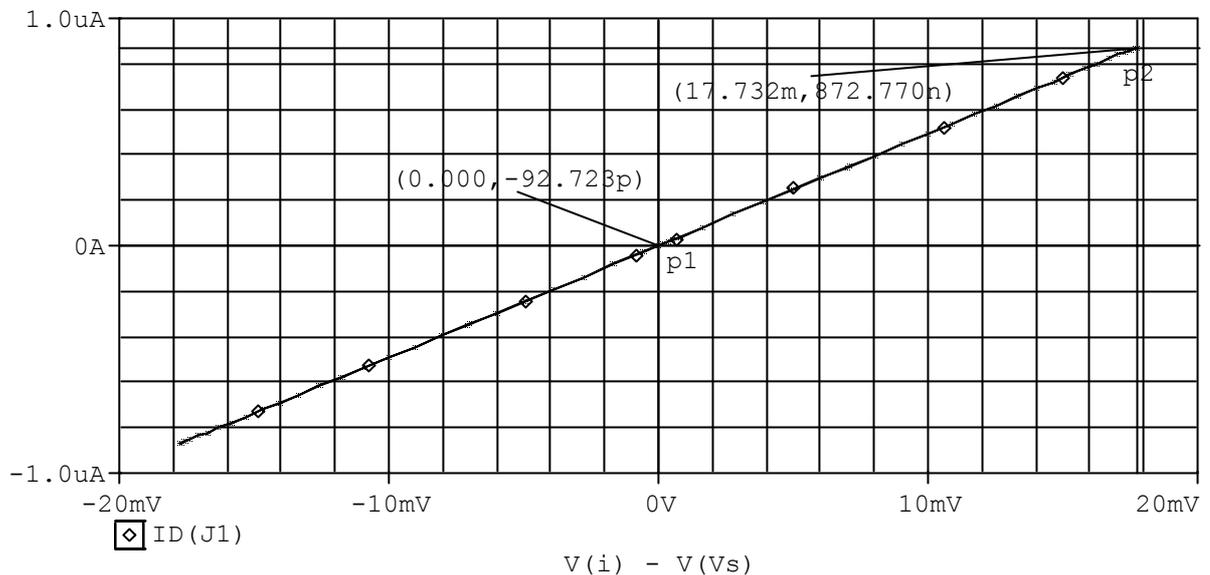


Fig.8b: corrente di drain in funzione della Vds dopo 30ms.

Servendoci dei cursori di Pspice calcoliamo il valore della resistenza  $R_{fet}$ , considerando due punti (p1 e p2) della caratteristica e facendo il seguente rapporto:  $R_{fet} = (V_2 - V_1) / (I_2 - I_1) = 19 \text{ k}\Omega$ .

Possiamo ora verificare che effettivamente l'attenuazione dovuta all'accensione del fet e' pari a:  $R_{fet} / (R_{fet} + R_2)$ . Per fare cio'

rappresentiamo il segnale d'ingresso dopo essere stato attenuato (fig. 9a) e vediamo il valore del picco dopo che sono trascorsi circa 30 ms.

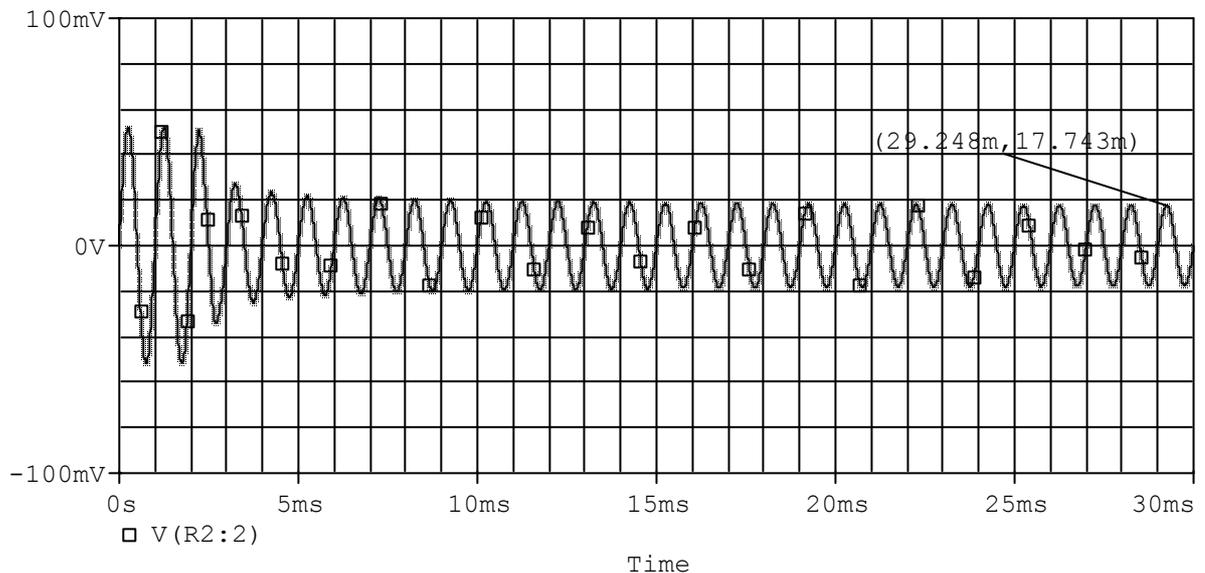


Fig.9a: segnale attenuato. Lo rileviamo in ingresso al morsetto positivo del primo operazionale.

Sostituendo i dati che abbiamo ricavato si può vedere che la funzione di trasferimento dello stadio attenuatore  $V_{in1}/V_{in} = [R3/(R3+R1)][R_{fet}/(R_{fet}+R2)]$  è rispettata con buona approssimazione.

Diamo un altro esempio simulando, con un segnale di ingresso di ampiezza 800 mV, l'andamento del segnale in uscita (vedi fig.9b) e della tensione di controllo (vedi fig.10).

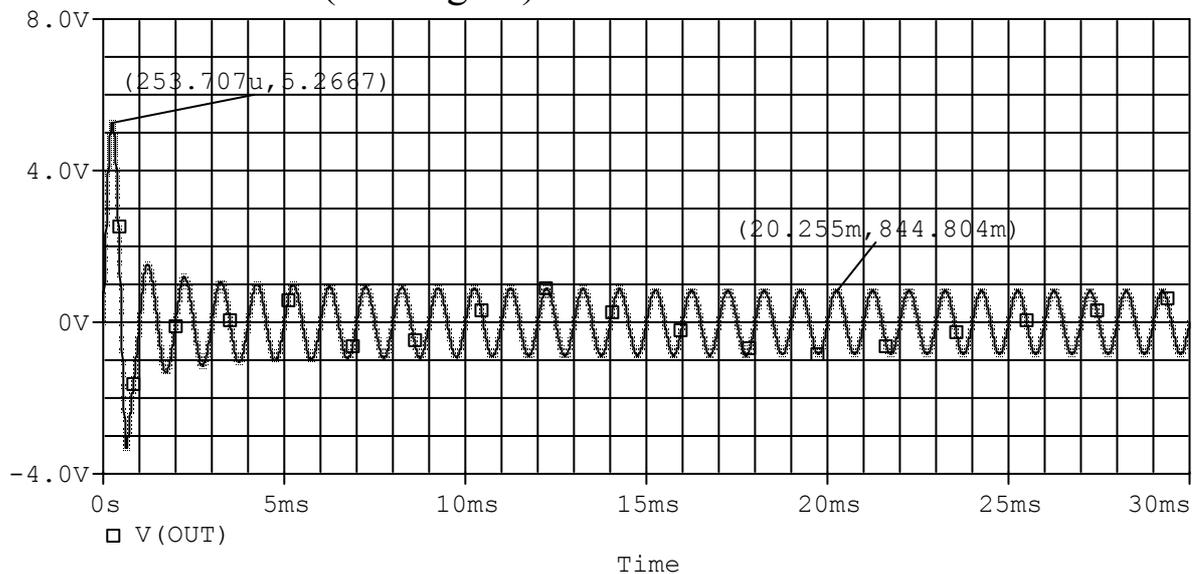


fig.9b: segnale in uscita quando l'ingresso è 800mV.

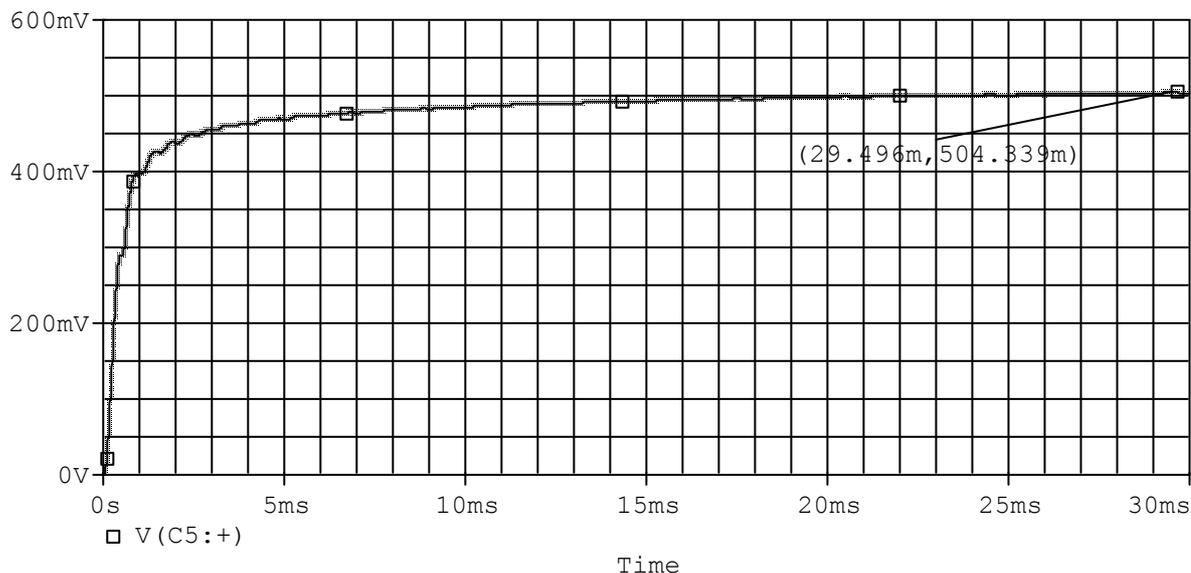


Fig.10: tensione di controllo del Jfet quando l'ampiezza dell'ingresso è 800mV.

Tramite la figura 10 notiamo che all'aumentando dell'ampiezza dell'ingresso, rispetto al segnale precedentemente considerato e' corrisposto un incremento della  $V_g$ , necessario per produrre un'attenuazione maggiore.

Soffermiamoci un attimo ad osservare i tempi di reazione del fet sull'uscita. Quando i diodi si accendono (in modo alternato) passa corrente su R12 e il condensatore C5 incomincia a caricarsi; appena la tensione sul condensatore supera quella di accensione del Jfet, questo si accende e incomincia ad attenuare il segnale in modo graduale, finche' il condensatore non si è caricato del tutto ed è a regime. Piu' grande è la costante di tempo di carica del condensatore, piu' tempo impiega il condensatore a caricarsi e piu' gradualmente il Jfet attenua. Che il Jfet attenui gradualmente si può notare tramite la figura 8a in cui la pendenza della caratteristica, ovvero la conduttanza del fet (la resistenza è l'inverso della conduttanza), cambia gradualmente. Sino a raggiungere un valore finale in corrispondenza della tensione di equilibrio del condensatore C5. Invece tramite la figura 6 possiamo vedere come la tensione d'uscita diminuisca gia' prima che il condensatore sia carico del tutto; ma comincia a stabilizzarsi dopo circa 5ms, sino a raggiungere la stabilita' completa tra i 20-30ms, che e' il

tempo necessario affinché il condensatore esaurisca il transitorio (dopo circa 4-6 volte la costante di tempo).

Il nostro ACG deve diminuire la dinamica di ingresso di un segnale audio. Perciò, dopo aver spiegato in modo abbastanza dettagliato il funzionamento del dispositivo, nel simulatore introduciamo un generatore di tensione variabile; per fare ciò in PSpice possiamo utilizzare, per esempio, due generatori di segnale in serie con ampiezza e frequenza diversa. Quindi rifacciamo le simulazioni e analizziamo i risultati ottenuti.

Dopo aver introdotto il nuovo generatore, rileviamo il segnale da esso prodotto (vedi fig.11).

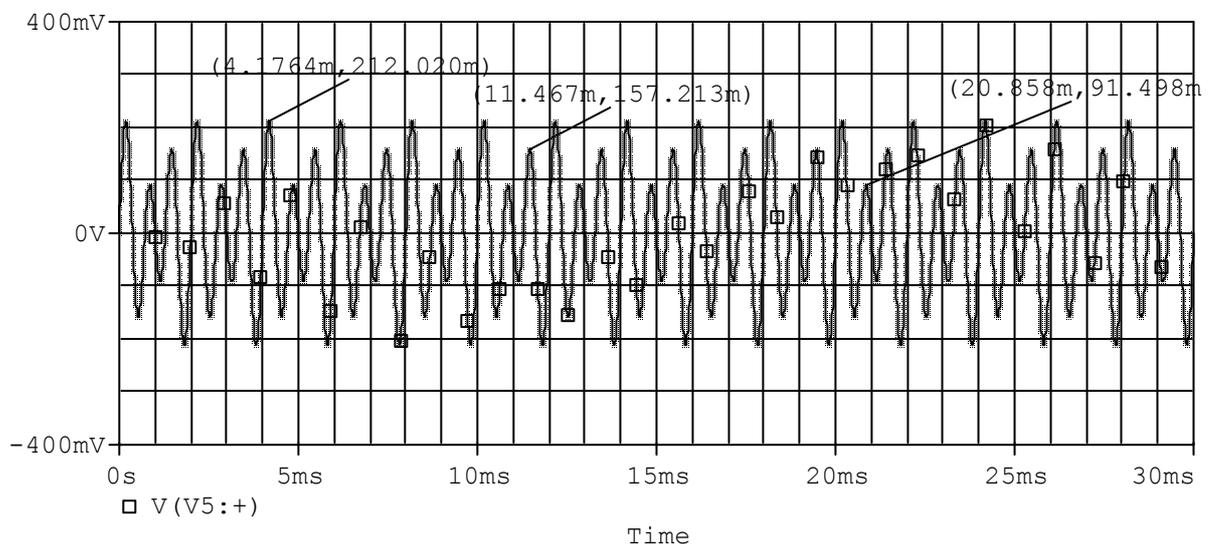


Fig.11:segnale di ampiezza variabile in ingresso.

Questo è ad ampiezza variabile e ha due picchi che, una volta amplificati, porterebbero l'uscita oltre la soglia prestabilita, mentre un picco (che è di 91 mV) non ha bisogno di essere attenuato. Queste variazioni d'ampiezza in ingresso procurano un cambiamento continuo della tensione di controllo, per produrre un'attenuazione proporzionale alla tensione da ridurre, finché non si stabilizza passato il transitorio di C5. Naturalmente il condensatore si carica più lentamente e irregolarmente. Per verificare ciò sondiamo l'andamento della tensione su C5 (vedi fig.12).

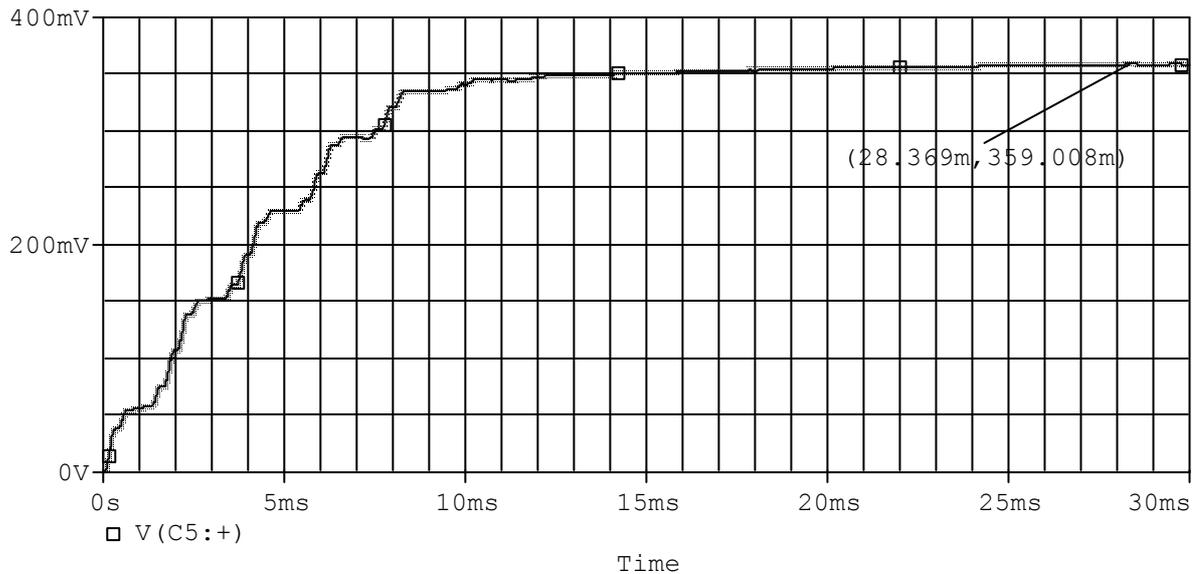


Fig.12:tensione di gate del fet quando il segnale in ingresso è ad ampiezza variabile.

E' evidente come il condensatore si avvicini alla tensione di regime dopo un tempo maggiore rispetto alle simulazioni precedenti(dopo circa 13 ms). Per capire perche', particolarmente importante e' notare come in alcuni punti, durante il transitorio, la salita del condensatore e' pressoché nulla (come per esempio intorno a 1ms o a 5ms). Cio' e' dovuto alla parte del segnale che deve essere attenuata meno o per niente e che porta sul condensatore una tensione più bassa. La costante di scarica di C5 e' molto alta rispetto a quella di carica e questo porta il condensatore a mantenere la tensione ai suoi capi durante la discesa della tensione delle semionde e durante la caduta di tensione dovuta ai cambiamenti del segnale di ingresso, purché la loro durata non sia grande. Ricordiamo che la costante di tempo di scarica corrisponde al tempo di rilascio dell'AGC.

Simuliamo ora l'andamento della tensione in uscita (vedi fig. 13).

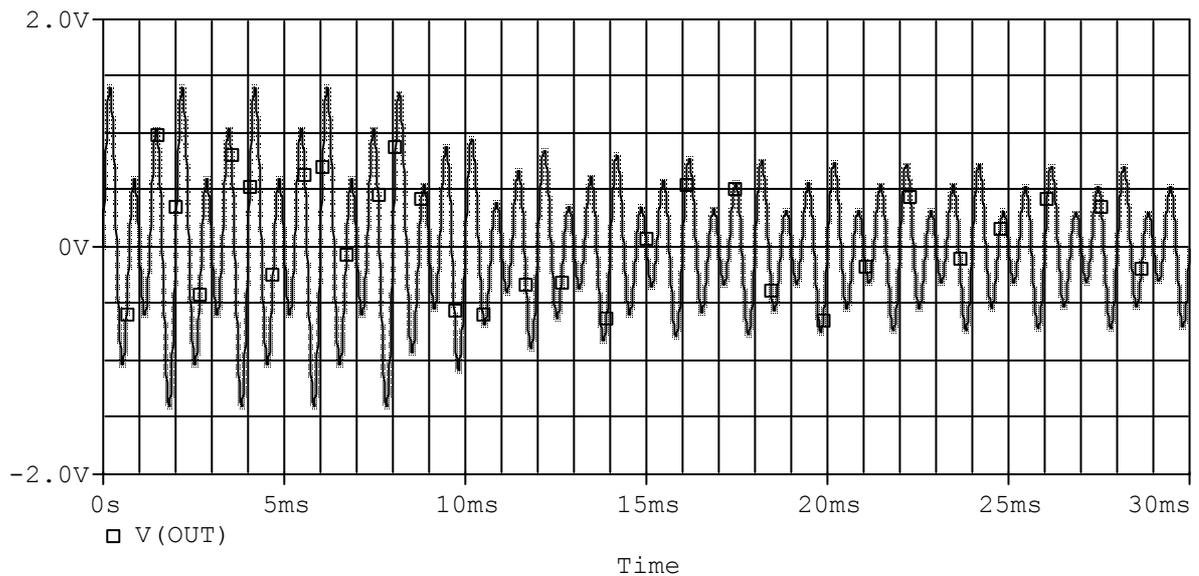


Fig.13:andamento del segnale in uscita quando il segnale in ingresso varia.

Quindi, come ci aspettavamo, dopo circa 13 ms il segnale in uscita comincia a stabilizzarsi.

Eseguiamo ,infine, una simulazione per piccolo segnale del circuito per mostrare che la banda del dispositivo e' quella dei segnali audio, cioè che va circa dai 20hz ai 40 khz (vedi Fig.14):

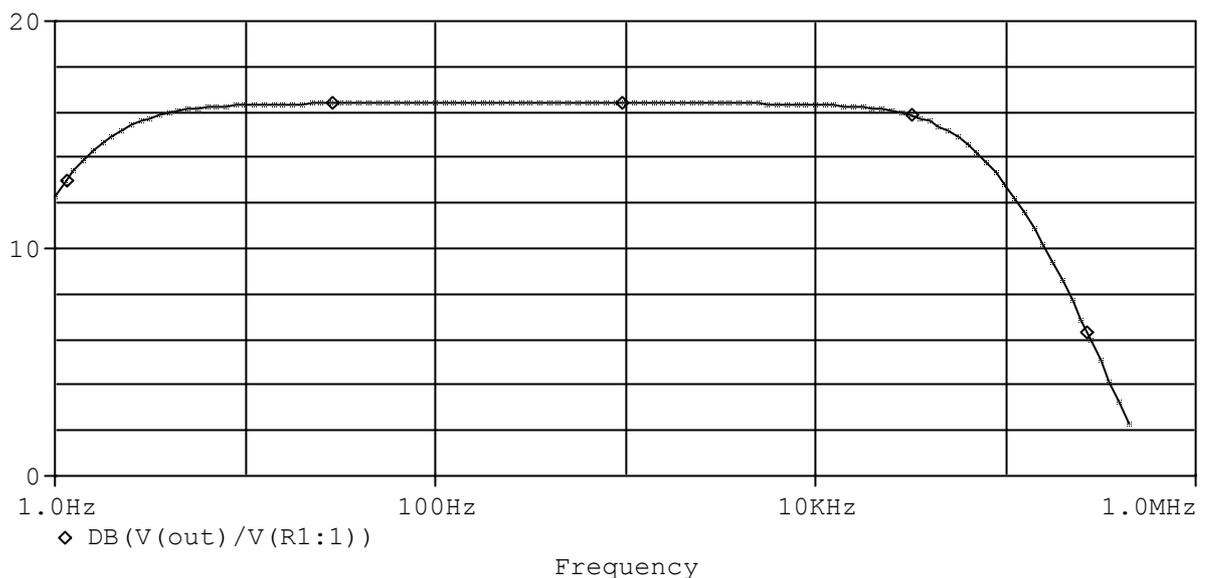
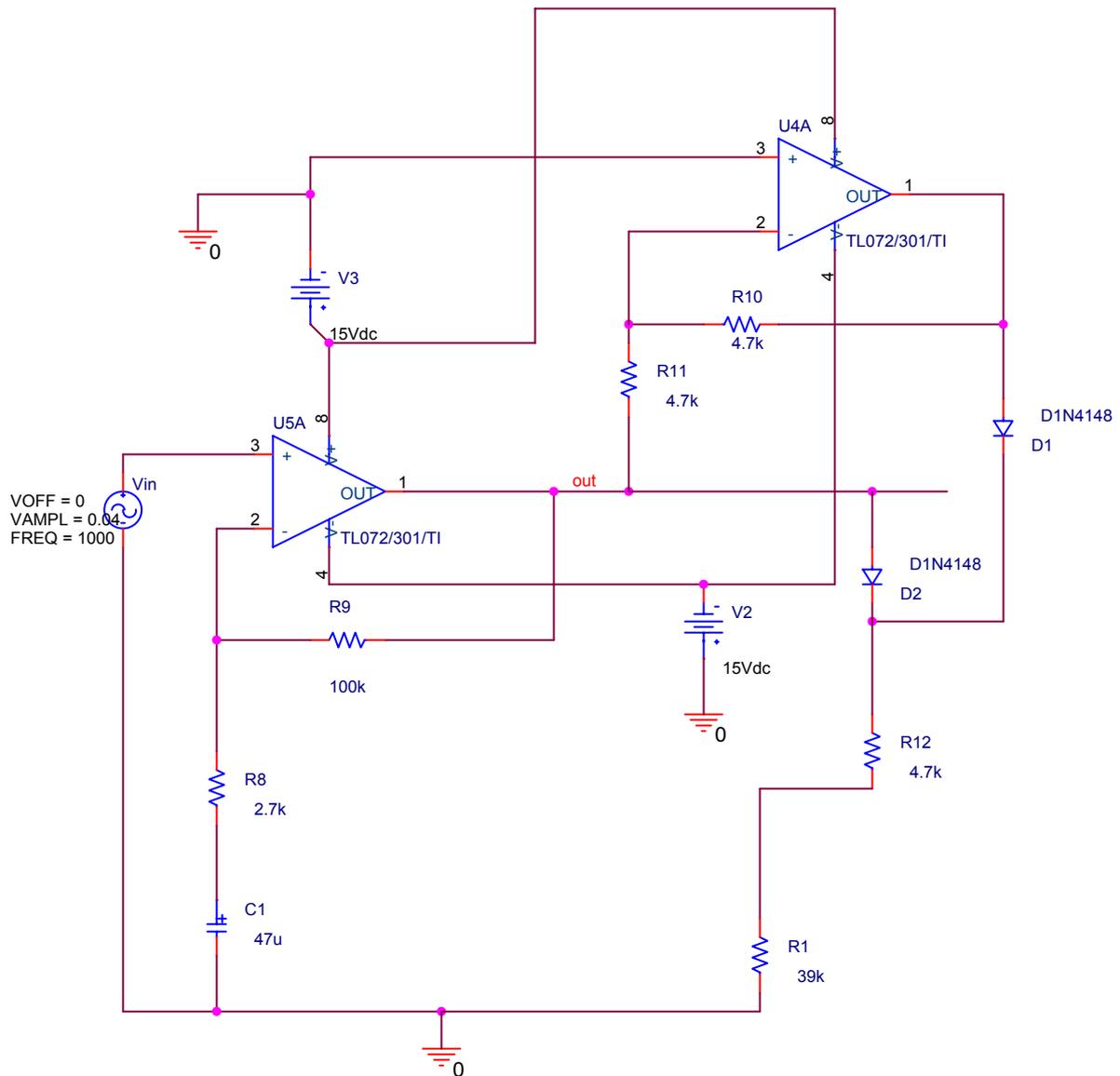


Fig.14:Diagramma dell'ampiezza di bode per analisi della banda.

Riprendiamo ora un attimo la parte del circuito raddrizzatore ( vedi fig. sotto) e facciamo alcune simulazioni per testare l'andamento delle onde che vanno a caricare il condensatore C5 e dimostrare che la caduta di tensione su R12 è trascurabile.



$V_{in}$  in figura rappresenta il segnale d'ingresso al dispositivo dopo essere stato attenuato.

Simuliamo l'andamento del segnale in uscita e del segnale che andrà a caricare il condensatore C5 nel nostro ACG, ovvero il segnale tra R12 e R13 su un unico grafico (vedi Fig 15).

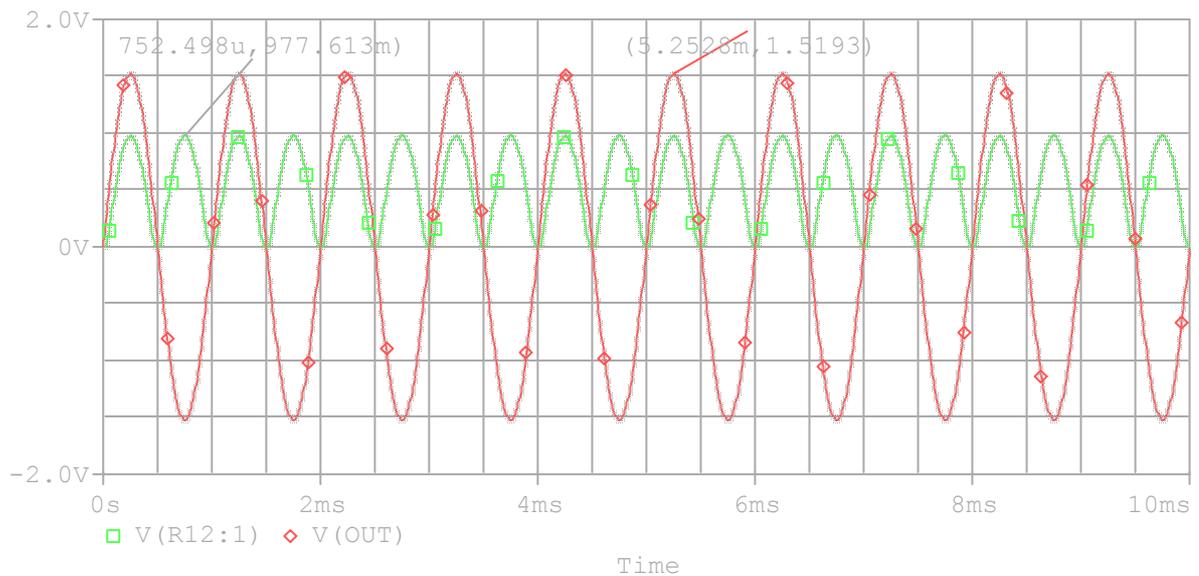


Fig.14:Andamento del segnale in uscita e tra R12 e R13.

Quindi vediamo che l'onda e' stata raddrizzata e che la caduta di tensione e' poco piu' di 500 mV, percio' e' dovuta essenzialmente alla tensione di soglia del diodo e quella dovuta a R12 e' trascurabile.

Mostriamo infine la transcaratteristica del raddrizzatore di tensione cioe' l'andamento della tensione raddrizzata in funzione della tensione di ingresso (vedi fig. sotto):

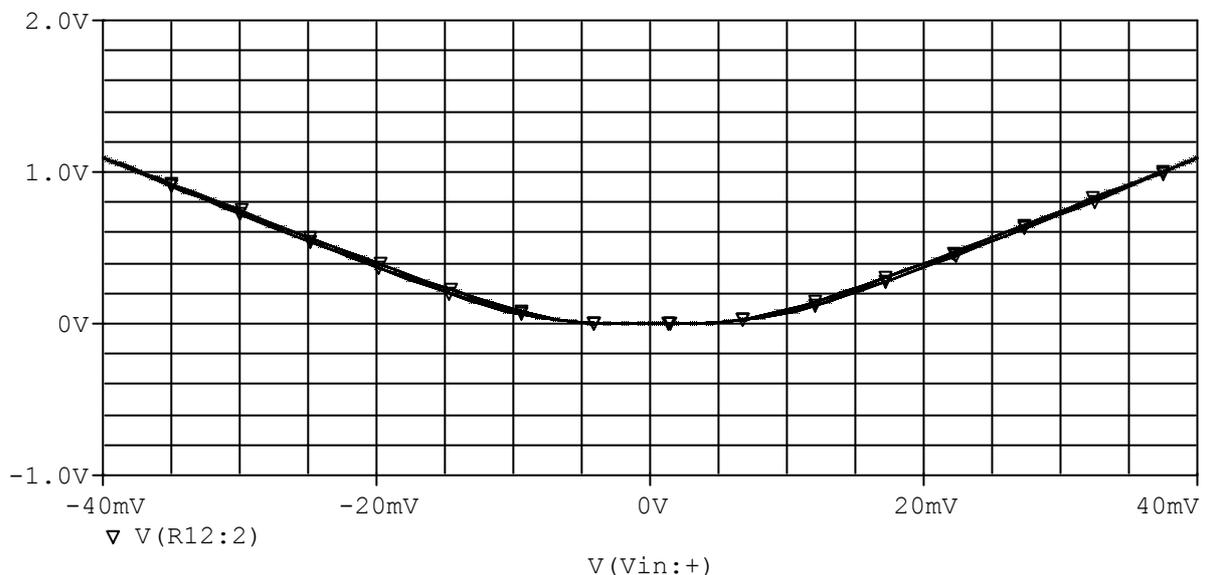


Fig. :la V(R12:2) in figura rappresenta l'andamento della tensione raddrizzata

